

日本国特許庁  
JAPAN PATENT OFFICE

#3  
jc997 U.S. PRO  
09/858470  
05/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月22日

出願番号

Application Number:

特願2001-083334

出願人

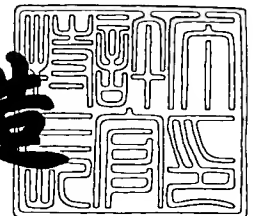
Applicant(s):

セイコーエプソン株式会社

2001年 4月20日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3032795

【書類名】 特許願

【整理番号】 J0083917

【提出日】 平成13年 3月22日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 村出 正夫

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【先の出願に基づく優先権主張】

【出願番号】 特願2000-147263

【出願日】 平成12年 5月19日

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置、その製造方法および電子機器

【特許請求の範囲】

【請求項 1】 複数の走査線および複数のデータ線と、  
前記走査線およびデータ線の交差部分に対応して設けられたスイッチング素子  
および画素電極の対と、

前記スイッチング素子と、対応する画素電極との間を電氣的に接続する中間導  
電膜と、

前記中間導電膜を構成する導電層と同一層からなる配線を含み、前記スイッ  
チング素子の各々を駆動するための周辺回路と

を具備することを特徴とする電気光学装置。

【請求項 2】 前記中間導電膜は、スイッチング素子の電極に対応して設け  
られた第 1 のコンタクトホールを介して電氣的に接続される一方、前記画素電極  
は、第 2 のコンタクトホールを介して電氣的に接続されることを特徴とする請求  
項 1 に記載の電気光学装置。

【請求項 3】 一端が前記画素電極に接続される一方、他端が共通接続され  
る蓄積容量を、画素電極毎に備え、

前記中間導電膜は、前記蓄積容量を構成する電極の一部をなす

ことを特徴とする請求項 1 に記載の電気光学装置。

【請求項 4】 前記中間導電膜は、遮光性を有するものであり、  
前記画素電極を透過または反射する光の一部が、当該中間導電膜によって規定  
されていることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 5】 第 1、第 2 および第 3 の導電層を、この順番で形成してなり  
、前記第 3 の導電層は、前記第 1 の導電層よりも低抵抗である電気光学装置であ  
って、

前記第 1 の導電層からなる複数の走査線と、

前記第 3 の導電層からなり、前記複数の走査線に対して互いに交差するように  
形成された複数のデータ線と、

前記走査線および前記データ線の交差部分に対応して設けられたスイッチング

素子および画素電極の対と、

第2の導電層からなり、前記スイッチング素子と対応する画素電極との間を電氣的に接続する中間導電膜と、

前記第1、第2および第3の導電層からなる配線をそれぞれ備え、前記スイッチング素子の各々を駆動するための周辺回路と  
を具備することを特徴とする電気光学装置。

【請求項6】 前記中間導電膜は、スイッチング素子の電極に対応して設けられた第1のコンタクトホールを介して電氣的に接続される一方、前記画素電極は、第2のコンタクトホールを介して電氣的に接続される  
ことを特徴とする請求項5に記載の電気光学装置。

【請求項7】 前記周辺回路は、前記第1の導電層からなる配線と前記第2の導電層からなる配線とが電氣的に並列に接続された並列配線を有する  
ことを特徴とする請求項5に記載の電気光学装置。

【請求項8】 前記並列配線は、前記第3の導電層からなる配線から分岐する分岐配線であって、当該配線とは異なる配線と交差する部分に用いられている  
ことを特徴とする請求項7に記載の電気光学装置。

【請求項9】 前記周辺回路は、  
前記第3の導電層からなり、 $h$  ( $h$ は2以上の整数とする)本のデータ線に対応して画像信号を供給する $h$ 本の画像信号線と、

前記データ線の各々に対応して設けられ、前記 $h$ 本の画像信号線に供給された画像信号のうち、対応するものを所定のサンプリング信号にしたがってサンプリングして、対応するデータ線に供給するサンプリングスイッチと  
を含み、

前記並列配線は、前記画像信号線から分岐して前記サンプリングスイッチに至る配線の少なくとも一部に用いられている  
ことを特徴とする請求項7に記載の電気光学装置。

【請求項10】 前記並列配線のうち、前記第2の導電層からなる配線が、当該並列配線のうち、前記第1の導電層からなる配線をそれぞれ露出する第3および第4のコンタクトホールの間を導通し、

前記第 3 の導電層からなる配線が、前記第 3 または第 4 のコンタクトホールに一致する位置に設けられて、前記第 2 の導電層からなる配線を露出する第 5 のコンタクトホールに電氣的に接続されている

ことを特徴とする請求項 7 に記載の電気光学装置。

【請求項 1 1】 前記並列配線のうち、前記第 2 の導電層からなる配線が、当該並列配線のうち、前記第 1 の導電層からなる配線をそれぞれ露出する第 3 および第 4 のコンタクトホールの間を導通し、

前記第 3 の導電層からなる配線が、前記第 3 および第 4 のコンタクトホールとは異なる位置に設けられて、前記第 1 の導電層からなる配線を露出する第 6 のコンタクトホールに電氣的に接続されている

ことを特徴とする請求項 7 に記載の電気光学装置。

【請求項 1 2】 前記並列配線のうち、前記第 2 の導電層からなる配線が、前記第 3 および第 4 のコンタクトホールの上に設けられた一または複数のコンタクトホールにおいても前記第 1 の導電層からなる配線と導通している

ことを特徴とする請求項 1 0 または 1 1 に記載の電気光学装置。

【請求項 1 3】 前記周辺回路は、その一部の領域において前記第 1、第 2 および第 3 の導電層からなる配線を備える

ことを特徴とする請求項 5 に記載の電気光学装置。

【請求項 1 4】 一端が前記画素電極に接続される一方、他端が共通接続される蓄積容量を、画素電極毎に備え、

前記中間導電膜は、前記蓄積容量を構成する電極の一部をなす

ことを特徴とする請求項 5 に記載の電気光学装置。

【請求項 1 5】 前記蓄積容量は、

前記スイッチング素子の電極と前記第 2 の導電層からなる容量線とにより前記スイッチング素子のゲート酸化膜を挟持してなる第 1 の容量と、

前記中間導電膜と前記容量線とにより層間絶縁膜を挟持してなる第 2 の容量とを含むことを特徴とする請求項 1 4 に記載の電気光学装置。

【請求項 1 6】 前記中間導電膜は、遮光性を有するものであり、前記画素電極を透過または反射する光の一部が、当該中間導電膜によって規定

されている

ことを特徴とする請求項 5 に記載の電気光学装置。

【請求項 1 7】 前記第 1 の導電層は、ポリシリコンよりなることを特徴とする請求項 5 に記載の電気光学装置。

【請求項 1 8】 前記第 3 の導電層は、アルミニウムよりなることを特徴とする請求項 5 に記載の電気光学装置。

【請求項 1 9】 前記第 2 の導電層は、前記第 3 の導電層を構成する材料よりも高融点な材料からなる

ことを特徴とする請求項 5 に記載の電気光学装置。

【請求項 2 0】 複数の走査線および複数のデータ線と、  
前記走査線およびデータ線の交差部分に対応して設けられたスイッチング素子および画素電極の対と、

前記スイッチング素子と、対応する画素電極との間を電氣的に接続する中間導電膜と、

前記スイッチング素子の各々を駆動するための周辺回路と、

前記周辺回路に接続され前記中間導電膜を構成する導電層と同一層からなる配線と、

を具備することを特徴とする電気光学装置。

【請求項 2 1】 前記配線は、前記データ線を構成する導電層と同一層からなる画像信号線に対して下層で交差することを特徴とする請求項 2 0 に記載の電気光学装置。

【請求項 2 2】 前記画像信号線は、複数本の画像信号線が配設され、各画像信号線に対応して前記配線が接続され、各配線の大きさはほぼ同じであることを特徴とする請求項 2 1 に記載の電気光学装置。

【請求項 2 3】 前記データ線を構成する導電層と同一層からなる第 1 導電層と、前記データ線を構成する導電層と同一層からなり前記第 1 導電層と離れた位置に形成された第 2 導電層とを有し、

前記スイッチング素子の半導体層と同一層からなる第 3 導電層は、コンタクトホールを介して前記第 1 導電層と前記第 2 導電層に対して電氣的に接続されるこ

とを特徴とする請求項 2 0 に記載の電気光学装置。

【請求項 2 4】 前記配線は、前記第 3 導電層に対してコンタクトホールを介して電氣的に接続されることを特徴とする請求項 2 3 に記載の電気光学装置。

【請求項 2 5】 前記第 3 導電層は、ポリシリコンからなることを特徴とする請求項 2 4 に記載の電気光学装置。

【請求項 2 6】 前記配線と前記第 3 導電層とを電氣的に接続するコンタクトホールは、少なくとも 3 つ有することを特徴とする請求項 2 4 に記載の電気光学装置。

【請求項 2 7】 前記第 1 導電層と前記第 2 導電層の間に、前記データ線を構成する導電層と同一層からなる画像信号線が配置されていることを特徴とする請求項 2 3 に記載の電気光学装置。

【請求項 2 8】 請求項 1 乃至 2 7 のいずれかに記載の電気光学装置を備えることを特徴とする電子機器。

【請求項 2 9】 複数の走査線と該複数の走査線との交差部分に対応してスイッチング素子および画素電極の対を備える電気光学装置の製造方法であって、

前記走査線および前記データ線が交差すべき部分にスイッチング素子を形成する工程と、

前記スイッチング素子に接続される中間導電膜と、前記スイッチング素子の各々を駆動するための周辺回路に用いる配線とを、それぞれ同一の導電層から形成する工程と、

前記中間導電膜に接続される画素電極を形成する工程と

を備えることを特徴とする電気光学装置の製造方法。

【請求項 3 0】 複数の走査線と該複数の走査線との交差部分に対応してスイッチング素子および画素電極の対を備える電気光学装置の製造方法であって、

前記走査線と前記スイッチング素子の各々を駆動するための周辺回路に用いる配線とをそれぞれ第 1 の導電層から形成した後であって、かつ、前記走査線および前記データ線が交差すべき部分にスイッチング素子を形成した後に、

前記スイッチング素子に接続される中間導電膜と前記周辺回路に用いる配線とをそれぞれ第 2 の導電層から形成する工程と、



前記データ線と前記周辺回路に用いる配線とをそれぞれ第3の導電層から形成する工程と、

前記中間導電膜に接続される画素電極を形成する工程と  
を備えることを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、走査線やデータ線を構成する導電層とは異なる導電層を周辺回路に用いて、周辺回路を設計する際の自由度の向上等を図った電気光学装置およびその製造方法並びに当該電気光学装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】

一般に電気光学装置、例えば、電気光学物質に液晶を用いて所定の表示を行う液晶装置は、一对の基板間に液晶が挟持された構成となっている。このうち、例えば画素電極を三端子型のスイッチング素子により駆動するアクティブマトリクス型の液晶装置は、次のような構成となっている。すなわち、この種の液晶装置は、一对の基板のうち、一方の基板に、複数の走査線と複数のデータ線とが互いに交差するように設けられるとともに、これらの交差部分の各々には薄膜トランジスタ（Thin Film Transistor：以下「TFT」と称する）に代表される三端子型スイッチング素子および画素電極の対が設けられる。ここで、TFTは、交差部分に対応する走査線に供給されている走査信号がアクティブレベルになるとオンして、対応するデータ線に印加されている画像信号を画素電極に供給するものである。また、他方の基板には、画素電極に対向する透明な対向電極が設けられる。

【0003】

一方、これらの走査線やデータ線を駆動する駆動回路は、走査線駆動回路や、データ線駆動回路、サンプリング回路などから構成される。このうち、走査線駆動回路は、走査線に走査信号を所定タイミングで供給するものであり、また、データ線駆動回路は、サンプリング信号を所定タイミングで供給するものであり、

さらに、サンプリング回路は、データ線毎に備えられるサンプリングスイッチによって、画像信号線を介して供給される画像信号を、サンプリング信号にしたがってサンプリングして対応するデータ線に供給するものである。

【0004】

さらに、これら駆動回路自体を、一方の基板において画素電極が配列する領域（表示領域）の周辺に設けた周辺回路内蔵型の電気光学装置が開発されている。このタイプの電気光学装置においては、製造プロセスを効率化するなどの観点から、駆動回路を構成する能動素子が、画素電極に接続されたスイッチング素子と共通プロセスで形成される。例えば、上述した液晶装置において、駆動回路を構成する素子は、画素電極に接続されたスイッチング素子と同一プロセスによって形成されるTFTである。このような周辺回路内蔵型の電気光学装置は、駆動回路を別途外付けするタイプの電気光学装置と比較して、装置全体の小型化やコスト低下を図る上で有利である。

【0005】

ところで近年では、電気光学装置に限られず表示装置全般にあっては、例えばXGA（1024×768ドット）や、SXGA（1365×1024ドット）、UXGA（1600×1200ドット）などのように、高精細化の要請が高まっている。

【0006】

【発明が解決しようとする課題】

しかしながら、高精細化と同時に装置の小型化を図ろうとすると、これに対応して走査線の配列ピッチやデータ線の配列ピッチを非常に狭くする技術が要求される。すなわち、走査線駆動回路は、走査線の各々に走査信号を供給するものであるから、走査線駆動回路を構成する単位回路（ラッチ回路）等は、走査線の配列ピッチ内に収まらなければならない。同様に、データ線駆動回路は、データ線毎に設けられるサンプリングスイッチに対して順番にサンプリング信号を供給するものであるから、データ線駆動回路を構成する単位回路等は、データ線の配列ピッチまたはその整数倍のピッチ内に収まらなければならない。このように、周辺回路内蔵型の電気光学装置において、高精細化・小型化を図ろうとすると、走査線駆動回路やデータ線駆動回路における単位回路等を、ごく限られたスペース

内に収まるように形成しなければならないため、その設計が非常に困難になる、という問題があった。

## 【0007】

本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、周辺回路における設計の自由度の向上等を図った電気光学装置およびその製造方法並びに当該電気光学装置を表示部に用いた電子機器を提供することにある。

## 【0008】

## 【課題を解決するための手段】

上述した目的を達成するため、本件の第1の発明に係る電気光学装置にあっては、複数の走査線および複数のデータ線と、前記走査線およびデータ線の交差部分に対応して設けられたスイッチング素子および画素電極の対と、前記スイッチング素子と、対応する画素電極との間を電氣的に接続する中間導電膜と、前記中間導電膜を構成する導電層と同一層からなる配線を含み、前記スイッチング素子の各々を駆動するための周辺回路とを具備することを特徴としている。

## 【0009】

この構成によれば、画素電極が配列する領域（表示領域）においては、スイッチング素子と画素電極との接続に中間導電膜が用いられるが、この中間導電膜と同一の導電層からなる配線が周辺回路においても用いられることになる。すなわち、表示領域において本来用いられる中間導電膜を、本発明では、周辺回路の配線の一部としても用いるのである。このため、周辺回路においては、新規な配線層が増えたことになるので、その分、設計の自由度が向上することになる。

## 【0010】

ここで、本発明において、前記中間導電膜は、スイッチング素子の電極に対応して設けられた第1のコンタクトホールを介して電氣的に接続される一方、前記画素電極は、第2のコンタクトホールを介して電氣的に接続される構成が望ましい。この構成では、スイッチング素子の電極は、第1のコンタクトホールを介して中間導電膜に接続される一方、画素電極は、第2のコンタクトホールを介して中間導電膜に接続される。このため、中間導電膜は、画素電極をスイッチング素子の他端に接続する際に、バリア膜として機能するので、コンタクトホールが長

距離にわたる場合に発生する不良を低減することが可能となる。

【 0 0 1 1 】

また、本発明において、一端が前記画素電極に接続される一方、他端が共通接続される蓄積容量を、画素電極毎に備え、前記中間導電膜は、前記蓄積容量を構成する電極の一部をなす構成も望ましい。この構成によれば、画素電極における電圧保持特性が蓄積容量により改善されるが、この際、中間導電膜は、蓄積容量を構成する電極の一部として機能することになる。

【 0 0 1 2 】

さらに、本発明において、前記中間導電膜は、遮光性を有するものであり、前記画素電極を透過または反射する光の一部が、当該中間導電膜によって規定されている構成としても良い。この構成によれば、光の透過または反射領域のうち、中間導電膜によって規定される部分では、少なくとも専用の遮光膜を省略することできるので、その分、構成の簡略化が可能となる。

【 0 0 1 3 】

同様に、上述した目的を達成するため、本件の第 2 の発明に係る電気光学装置にあっては、第 1、第 2 および第 3 の導電層を、この順番で形成してなり、前記第 3 の導電層は、前記第 1 の導電層よりも低抵抗である電気光学装置であって、前記第 1 の導電層からなる複数の走査線と、前記第 3 の導電層からなり、前記複数の走査線に対して互いに交差するように形成された複数のデータ線と、前記走査線および前記データ線の交差部分に対応して設けられたスイッチング素子および画素電極の対と、第 2 の導電層からなり、前記スイッチング素子と対応する画素電極との間を電氣的に接続する中間導電膜と、前記第 1、第 2 および第 3 の導電層からなる配線をそれぞれ備え、前記スイッチング素子の各々を駆動するための周辺回路とを具備することを特徴としている。

【 0 0 1 4 】

この構成によれば、表示領域においては、スイッチング素子と画素電極との接続に中間導電膜が用いられるが、この中間導電膜と同一の第 2 の導電層からなる配線が、第 1 および第 3 の導電層からなる配線とともに周辺回路においても用いられることになる。すなわち、表示領域において本来用いられる中間導電膜を、

本発明では、周辺回路において、配線の一部としても用いるのである。このため、周辺回路においては、1層分だけ新規な配線層が増えたことになるので、その分、設計の自由度が向上することになる。

## 【0015】

ここで、本発明において、前記中間導電膜は、スイッチング素子の電極に対応して設けられた第1のコンタクトホールを介して電氣的に接続される一方、前記画素電極は、第2のコンタクトホールを介して電氣的に接続される構成が望ましい。この構成では、スイッチング素子の電極は、第1のコンタクトホールを介して中間導電膜に接続される一方、画素電極は、第2のコンタクトホールを介して中間導電膜に接続される。このため、中間導電膜は、画素電極をスイッチング素子の他端に接続する際に、バリア膜として機能するので、コンタクトホールが長距離にわたる場合に発生する不良を低減することが可能となる。

## 【0016】

ところで、本発明において、第3の導電層は、第1の導電層よりも低抵抗であるので、配線の全部を第3の導電層により形成するのが望ましい。ただし、周辺回路には必ず配線の交差部分や分岐部分などが存在するので、配線の全部を第3の導電層により形成するのは不可能である。そこで、本発明において、例えば高抵抗な第1の導電層からなる配線を用いなければならない場合に、前記周辺回路は、前記第1の導電層からなる配線と前記第2の導電層からなる配線とが電氣的に並列に接続された並列配線を有する構成が望ましい。このように、第1の導電層からなる配線と第2の導電層からなる配線とが電氣的に並列に接続された並列配線を用いると、第1または第2の導電層からなる配線を単独で用いる場合よりも、その配線抵抗を低く抑えることが可能となる。

## 【0017】

このような並列配線を用いるべき部分としては、例えば、前記第3の導電層からなる配線から分岐する分岐配線であって、当該配線とは異なる配線と交差する部分が考えられる。このような分岐配線は、低抵抗である第3の導電層からなるべきであるが、第3の導電層からなる配線であって、当該配線とは別の配線と交差する部分は、同一の第3の導電層から形成することができないからである。

## 【0018】

また、前記周辺回路が、前記第3の導電層からなり、 $h$  ( $h$ は2以上の整数とする)本のデータ線に対応して画像信号を供給する $h$ 本の画像信号線と、前記データ線の各々に対応して設けられ、前記 $h$ 本の画像信号線に供給された画像信号のうち、対応するものを所定のサンプリング信号にしたがってサンプリングして、対応するデータ線に供給するサンプリングスイッチとを含む場合、並列配線を用いるべき部分として、前記画像信号線から分岐して前記サンプリングスイッチに至る配線の少なくとも一部が考えられる。このような配線は、画素電極に印加される画像信号を供給するものであるから、低抵抗である第3の導電層からなるべきであるが、他の画像信号線と交差するために、同一の第3の導電層から形成することができないからである。

## 【0019】

さて、本発明において、並列配線を形成する場合、前記並列配線のうち、前記第2の導電層からなる配線が、当該並列配線のうち、前記第1の導電層からなる配線をそれぞれ露出する第3および第4のコンタクトホールの間を導通し、前記第3の導電層からなる配線が、前記第3または第4のコンタクトホールに一致する位置に設けられて、前記第2の導電層からなる配線を露出する第5のコンタクトホールに電氣的に接続されている第1の構成と、前記並列配線のうち、前記第2の導電層からなる配線が、当該並列配線のうち、前記第1の導電層からなる配線をそれぞれ露出する第3および第4のコンタクトホールの間を導通し、前記第3の導電層からなる配線が、前記第3および第4のコンタクトホールとは異なる位置に設けられて、前記第1の導電層からなる配線を露出する第6のコンタクトホールに電氣的に接続されている第2の構成とが考えられる。ここで、第2の導電層に反りなどによる応力がかかっている場合に、第2の導電層からなる配線を露出させるようなコンタクトホールを設けると、クラックが発生してしまうことがあるが、第2の構成では、第2の導電層を露出させるコンタクトホールを設けないで済むので、クラックの発生に伴う不良の低減を図ることができる。

## 【0020】

さらに、第1または第2の構成においては、前記並列配線のうち、前記第2の

導電層からなる配線が、前記第3および第4のコンタクトホールの上に設けられた一または複数のコンタクトホールにおいても前記第1の導電層からなる配線と導通していることが望ましい。これにより、並列配線では、第3および第4のコンタクトホール以外のコンタクトホールにおいても、並列接続されることになる。

## 【0021】

さて、本発明において、前記周辺回路は、その一部の領域において前記第1、第2および第3の導電層からなる配線を備える構成としても良い。この構成によれば、同一領域において、異なる3層配線がレイアウトされるので、スペースの縮小化を図ることが可能となる。

## 【0022】

また、本発明において、一端が前記画素電極に接続される一方、他端が共通接続される蓄積容量を、画素電極毎に備え、前記中間導電膜は、前記蓄積容量を構成する電極の一部をなす構成が望ましい。この構成によれば、画素電極における電圧保持特性が蓄積容量により改善されるが、この際、中間導電膜は、蓄積容量を構成する電極の一部として機能することになる。

## 【0023】

このような蓄積容量は、前記スイッチング素子の電極と前記第2の導電層からなる容量線とにより前記スイッチング素子のゲート酸化膜を挟持してなる第1の容量と、前記中間導電膜と前記容量線とにより層間絶縁膜を挟持してなる第2の容量とを含む構成が望ましい。この構成によれば、蓄積容量は、第1の容量と第2の容量とを含むことになるので、単一容量の構成と比較して、容量の増大を図ることが可能となる。

## 【0024】

さて、本発明において、第1の導電層は、ポリシリコンよりなることが望ましい。これは、走査線を金属薄膜や金属シリサイドから形成すると、その後の高温プロセスにおいて剥離が発生する等の不都合が起きるからである。

## 【0025】

また、本発明において、前記第3の導電層は、アルミニウムよりなることが望

ましい。これにより第 3 の導電層の低抵抗化が容易となる。

【 0 0 2 6 】

くわえて、本発明において、前記第 2 の導電層は、前記第 3 の導電層を構成する材料よりも高融点な材料からなることが望ましい。これは、第 2 の導電層を形成した後の高温プロセスにより、溶融や剥離を防止する必要があるからである。なお、このように高融点な材料としては、ポリシリコンのほか、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン) 又は Pb (鉛) の単体若しくはこれらの合金、金属シリサイドなどが挙げられる。

【 0 0 2 7 】

次に、上述した目的を達成するために、本件の第 3 の発明に係る電気光学装置にあつては、複数の走査線および複数のデータ線と、前記走査線およびデータ線の交差部分に対応して設けられたスイッチング素子および画素電極の対と、前記スイッチング素子と、対応する画素電極との間を電氣的に接続する中間導電膜と、前記スイッチング素子の各々を駆動するための周辺回路と、前記周辺回路に接続され前記中間導電膜を構成する導電層と同一層からなる配線とを具備することを特徴とする。

【 0 0 2 8 】

本発明では、周辺回路に接続される配線を、スイッチング素子と画素電極との接続に用いられる中間導電膜と同一の導電層で形成した。このため、新規な配線層として利用できるもので、設計の自由度が向上する。

【 0 0 2 9 】

ここで、本発明において、前記配線は、前記データ線を構成する導電層と同一層からなる画像信号線に対して下層で交差することを特徴とする。この構成では、画像信号線に対して交差する配線を、中間導電膜と同一の導電層を配線として利用できる。

【 0 0 3 0 】

また、前記画像信号線は、複数本の画像信号線が配設され、各画像信号線に対応して前記配線が接続され、各配線の大きさはほぼ同じであることを特徴とする。この構成では、画像信号に接続される各配線の抵抗値を等しくすることができ



、各配線の抵抗差による画像信号のばらつきを防止し、良好な表示が可能になる。

## 【 0 0 3 1 】

また、本発明において、前記データ線を構成する導電層と同一層からなる第1導電層と、前記データ線を構成する導電層と同一層からなり前記第1導電層と離れた位置に形成された第2導電層とを有し、前記スイッチング素子の半導体層と同一層からなる第3導電層は、コンタクトホールを介して前記第1導電層と前記第2導電層に対して電氣的に接続されることを特徴とする。この構成によれば、スイッチング素子の半導体層と同一層からなる第3導電層をバイパスとして形成することができる。

## 【 0 0 3 2 】

また、本発明において、前記配線は、前記第3導電層に対してコンタクトホールを介して電氣的に接続されることを特徴とする。この構成によれば、配線と第3導電層が並列して接続されるので、配線を低抵抗にすることができる。

## 【 0 0 3 3 】

また、本発明において、前記第3導電層は、ポリシリコンからなることを特徴とする。この構成によれば、配線を高融点金属などで形成しても、配線はポリシリコンの第3導電層に対してコンタクトホールを介して電氣的に接続されるので、配線にクラックが生じることはない。第3導電層は、第1導電層と前記第2導電層に対してコンタクトホールを介して電氣的に接続されるが、ポリシリコンで形成されているので、ポリシリコンにクラックが生じることはない。

## 【 0 0 3 4 】

また、本発明において、前記配線と前記第3導電層とを電氣的に接続するコンタクトホールは、少なくとも3つ有することを特徴とする。この構成によれば、配線と第3導電層との間で冗長配線を形成することができるので、配線や第3導電層にクラックなどが生じての、配線と第3導電層との間で短絡することを防止できる。

## 【 0 0 3 5 】

また、本発明において、前記第1導電層と前記第2導電層の間に、前記データ

線を構成する導電層と同一層からなる画像信号線が配置されていることを特徴とする。この構成によれば、データ線を構成する導電層と同一層からなる画像信号線が、第1導電層と第2導電層と干渉することなく配置することができる。

## 【0036】

また、本件の電子機器は、上述した電気光学装置を備えるので、特に周辺回路の設計をする際の自由度が向上することになる。

## 【0037】

次に、上記目的を達成するために、本件第4の発明に係る電気光学装置の製造方法にあっては、複数の走査線と該複数の走査線との交差部分に対応してスイッチング素子および画素電極の対を備える電気光学装置の製造方法であって、前記走査線および前記データ線が交差すべき部分にスイッチング素子を形成する工程と、前記スイッチング素子に接続される中間導電膜と、前記スイッチング素子の各々を駆動するための周辺回路に用いる配線とを、それぞれ同一の導電層から形成する工程と、前記中間導電膜に接続される画素電極を形成する工程とを備えることを特徴としている。この製造方法によれば、上記第1の発明と同様に、周辺回路には、新規な配線層が増えたことになるので、その分、設計の自由度が向上することになる。

## 【0038】

また、上記目的を達成するために、本件第5の発明に係る電気光学装置の製造方法にあっては、複数の走査線と該複数の走査線との交差部分に対応してスイッチング素子および画素電極の対を備える電気光学装置の製造方法であって、前記走査線と前記スイッチング素子の各々を駆動するための周辺回路に用いる配線とをそれぞれ第1の導電層から形成した後であって、かつ、前記走査線および前記データ線が交差すべき部分にスイッチング素子を形成した後に、前記スイッチング素子に接続される中間導電膜と前記周辺回路に用いる配線とをそれぞれ第2の導電層から形成する工程と、前記データ線と前記周辺回路に用いる配線とをそれぞれ第3の導電層から形成する工程と、前記中間導電膜に接続される画素電極を形成する工程とを備えることを特徴としている。この製造方法によれば、上記第2の発明と同様に、周辺回路には、1層分だけ新規な配線層が増えたことになる

ので、その分、設計の自由度が向上することになる。

【0039】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

【0040】

＜電気光学装置の概略構成＞

まず、本実施形態に係る電気光学装置について説明する。この電気光学装置は、電気光学物質として液晶を用いて、その電気光学的な変化により所定の表示を行うものである。図1(a)は、この電気光学装置のうち、外部回路を除いた液晶パネル100の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。

【0041】

これらの図に示されるように、液晶パネル100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が設けられた対向基板102とが、スペーサ（図示省略）を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学物質として例えばTN（Twisted Nematic）型の液晶105が封入された構成となっている。

【0042】

ここで、素子基板101には、ガラスや、半導体、石英などが用いられるが、対向基板102には、ガラスなどが用いられる。なお、素子基板101に不透明な基板が用いられる場合には、透過型ではなく反射型として用いられることとなる。また、シール材104は、対向基板102の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0043】

次に、素子基板101の対向面であって、シール材104の外側一辺の領域140aにおいては、後述するデータ線駆動回路が形成されて、サンプリング信号を出力する構成となっている。さらに、この一辺においてシール材104が形成

される近傍の領域 1 5 0 a には、画像信号線やサンプリング回路などを形成しても良い。一方、この一辺の外周部分には、複数の実装端子 1 0 7 が形成されて、外部回路（図示省略）から各種信号を入力する構成となっている。

## 【 0 0 4 4 】

また、この一辺に隣接する 2 辺の領域 1 3 0 a には、それぞれ走査線駆動回路が形成されて、走査線を両側から駆動する構成となっている。なお、走査線に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路を片側 1 個だけに形成する構成でも良い。

## 【 0 0 4 5 】

そして、残りの一辺の領域 1 6 0 a には、後述するプリチャージ回路が形成され、さらに、その外側には、2 個の走査線駆動回路において共用される配線などを形成しても良い。

## 【 0 0 4 6 】

一方、対向基板 1 0 2 に設けられる対向電極 1 0 8 は、素子基板 1 0 1 との貼合部分における 4 隅のうち少なくとも一ヶ所において導通材により、素子基板 1 0 1 と電気的に接続される構成となっている。

## 【 0 0 4 7 】

ほかに、対向基板 1 0 2 には、特に図示はしないが、画素電極 1 1 8 と対向する領域に、必要に応じて着色層（カラーフィルタ）が設けられる。ただし、後述する複板式のプロジェクタのように色光変調の用途に適用する場合には、対向基板 1 0 2 に着色層を形成する必要はない。

## 【 0 0 4 8 】

なお、従来、対向基板 1 0 2 にあっては、着色層を設けると否かとにかかわらず、光のリークによるコントラスト比の低下を防止するために、画素電極 1 1 8 と対向する領域以外の部分に遮光膜が設けられていたが、本実施形態では、後述するように、素子基板 1 0 1 側において画素部での遮光領域が規定されるので、対向基板 1 0 2 に設けられていた遮光膜が省略されている。

## 【 0 0 4 9 】

また、素子基板 1 0 1 および対向基板 1 0 2 の対向面には、後述するように、

液晶 1 0 5 における分子の長軸方向が両基板間で約 9 0 度連続的に捻れるようにラビング処理された配向膜（図 1 では省略）が設けられる一方、その各背面側には配向方向に応じた偏光子（図示省略）がそれぞれ設けられる。なお、図 1（b）においては、対向電極 1 0 8 や、画素電極 1 1 8、実装端子 1 0 7 等には厚みを持たせているが、これは、形成位置を示すための便宜的な措置であり、実際には、基板に対して充分に無視できるほど薄い。

#### 【 0 0 5 0 】

##### <電気的な構成>

次に、上述した液晶パネル 1 0 0 のうち、素子基板 1 0 1 の電気的な構成について説明する。図 2 は、この構成を示す概略図である。

#### 【 0 0 5 1 】

この図に示されるように、素子基板 1 0 1 には、外部回路からの各種の信号を入力するために複数の実装端子 1 0 7 が設けられている。これらの実装端子 1 0 7 を介して入力される信号は、各種配線を介して各部に供給される構成となっている。そこで、これらの信号について簡単に説明することとする。

#### 【 0 0 5 2 】

第 1 に、V I D 1 ～ V I D 6 は、図 4 に示されるように、ドットクロック D C L K に同期して供給される 1 系統の画像信号 V I D を、6 系統に分配するとともに時間軸に 6 倍に伸長したものであり、6 本の画像信号線 1 2 2 を介してサンプリング回路 1 5 0 に供給される。

#### 【 0 0 5 3 】

なお、この画像信号 V I D 1 ～ V I D 6 は、外部回路によって、適宜、極性反転される。ここで、本実施形態における極性反転とは、対向電極 1 0 8 に印加される電圧 L C c o m を基準として正極性と負極性とに交互に電圧レベルを反転させることをいうが、極性を反転するか否かについては、一般には、データ線への画像信号の印加方式が①走査線単位の極性反転であるか、②データ線単位の極性反転であるか、③画素単位の極性反転であるか、④フレーム単位の極性反転であるかに応じて定められ、その反転周期は、1 水平走査期間、ドットクロック D C L K または 1 垂直走査期間の周期に設定される。ただし、本実施形態では、説明の

便宜上、①走査線単位の極性反転である場合を例にとって説明するが、本発明をこれに限定する趣旨ではない。

## 【 0 0 5 4 】

第2に、 $V_{ssY}$ および $V_{ssX}$ は、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の低位側電圧（接地電位）である。また、 $V_{ddY}$ および $V_{ddX}$ は、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の高位側電圧である。これらのうち、電源の低位側電圧 $V_{ssY}$ は、後述する蓄積容量の接地電位となっているので、容量線175を介して各画素にも供給されている。

## 【 0 0 5 5 】

第3に、 $LC_{com}$ は、対向電極108に印加される電圧信号である。このため、電圧信号 $LC_{com}$ が供給される2つの電極109は、対向基板102との貼り合わせる際に用いられるシール材104（図1参照）の隅に相当する地点にそれぞれ設けられている。したがって、素子基板101が実際に対向基板102に貼り合わせられると、電極109と対向電極108とが導通材を介して接続されて、対向電極108に電圧信号 $LC_{com}$ が印加される構成となる。なお、電圧信号 $LC_{com}$ は、時間軸に対して一定の電圧であり、外部回路が、この電圧信号 $LC_{com}$ を基準にして、画像信号 $VID1 \sim VID6$ を、1水平走査期間毎に高位側および低位側に振り分けて、交流駆動を行う構成となっている。また、電極109が設けられる地点は、本実施形態においては2箇所であるが、この電極109が設けられる理由は、導通材を介して対向電極108に電圧信号 $LC_{com}$ を印加するためであるから、電極109が設けられる地点は少なくとも1箇所であれば足りる。このため、電極109が設けられる地点は、1箇所でも良いし、3箇所以上であっても良い。

## 【 0 0 5 6 】

第4に、 $DY$ は、図4に示されるように、1垂直有効走査期間の最初に供給される転送開始パルスであり、 $CLY$ は、走査線駆動回路130において用いられるクロック信号である。なお、 $CLY_{inv}$ は、クロック信号 $CLY$ をレベル反転させた反転クロック信号である。

## 【 0 0 5 7 】

第 5 に、D X は、図 4 に示されるように、1 水平有効走査期間の最初に供給される転送開始パルスであり、C L X は、データ線駆動回路 1 4 0 において用いられるクロック信号である。なお、C L X <sub>inv</sub> は、クロック信号 C L X をレベル反転させた反転クロック信号である。また、E N B 1、E N B 2 は、後述するように、データ線駆動回路 1 4 0 におけるシフトレジスタの各出力信号を、所定のパルス幅に制限するために用いられるイネーブル信号である。くわえて、N R G は、プリチャージ制御信号であり、N R S は、プリチャージ電圧信号であるが、詳細については後述することとする。

## 【 0 0 5 8 】

さて、素子基板 1 0 1 の表示領域 1 0 0 a にあっては、複数本の走査線 1 1 2 が行 (Y) 方向に沿って平行に配列し、また、複数本のデータ線 1 1 4 が列 (X) 方向に沿って平行に配列して、これらの各交差部分に対応して画素が設けられている。

## 【 0 0 5 9 】

詳細には、図 3 に示されるように、走査線 1 1 2 とデータ線 1 1 4 とが交差する部分においては、画素を制御するためのスイッチング素子たる T F T 1 1 6 のゲートが走査線 1 1 2 に接続される一方、T F T 1 1 6 のソースがデータ線 1 1 4 に接続されるとともに、T F T 1 1 6 のドレインが矩形状の透明な画素電極 1 1 8 に接続されている。

## 【 0 0 6 0 】

上述したように、液晶パネル 1 0 0 では、素子基板 1 0 1 と対向基板 1 0 2 との電極形成面の間において液晶 1 0 5 が挟持されているので、各画素の液晶容量は、画素電極 1 1 8 と、対向電極 1 0 8 と、これら両電極間に挟持された液晶 1 0 5 とによって構成されることになる。ここで、説明の便宜上、走査線 1 1 2 の総本数を「m」とし、データ線 1 1 4 の総本数を「6 n」とすると (m、n は、それぞれ整数とする)、画素は、走査線 1 1 2 とデータ線 1 1 4 との各交差部分に対応して、m 行 × 6 n 列でマトリクス状に配列することになる。

## 【 0 0 6 1 】

また、表示領域 1 0 0 a には、このほかに、液晶容量のリークを防止するための蓄積容量 1 1 9 が、画素毎に設けられている。この蓄積容量 1 1 9 の一端は、画素電極 1 1 8 (T F T 1 1 6 のドレイン) に接続される一方、その他端は、容量線 1 7 5 により共通接続されている。このため、蓄積容量 1 1 9 は、液晶容量とは電氣的に並列となるので、液晶容量の保持特性が改善されて、高コントラスト比の表示が図られることとなる。なお、容量線 1 7 5 には、本実施形態では、電源の低位側電圧  $V_{ssY}$  が印加される構成であるが、ここには、時間的に一定の電圧が印加されれば良いので、電源の高位側電圧  $V_{ddY}$  や、電圧  $L C_{com}$  などが印加される構成であっても良い。また、蓄積容量 1 1 9 を含めた画素の詳細構成については、さらに後述することとする。

## 【 0 0 6 2 】

そこで、説明を再び図 2 に戻すと、走査線駆動回路 1 3 0 は、水平走査期間 1 H 毎に順次アクティブレベルとなる走査信号  $G_1$ 、 $G_2$ 、…、 $G_m$  を、1 垂直有効表示期間内に各走査線 1 1 2 に出力するものである。詳細な構成については本発明と直接関連しないので図示を省略するが、シフトレジスタと複数の論理積回路（あるいは否定論理積回路）とから構成される。このうち、シフトレジスタは、図 4 に示されるように、1 垂直有効走査期間の最初に供給される転送開始パルス  $DY$  を、クロック信号  $CLY$ （および反転クロック信号  $CLY_{inv}$ ）のレベルが遷移する毎に（立ち上がりおよび立ち下りの双方で）、順次シフトして、信号  $G_1'$ 、 $G_2'$ 、 $G_3'$ 、…、 $G_m'$  として出力し、各論理積回路は、信号  $G_1'$ 、 $G_2'$ 、 $G_3'$ 、…、 $G_m'$  のうち、相隣接する信号同士の論理積信号を求めて、走査信号  $G_1$ 、 $G_2$ 、 $G_3$ 、…、 $G_m$  として出力するものである。

## 【 0 0 6 3 】

また、データ線駆動回路 1 4 0 は、順次アクティブレベルとなるサンプリング信号  $S_1$ 、 $S_2$ 、…、 $S_n$  を 1 水平有効走査期間内に出力するものである。この詳細な構成についても本発明と直接関連しないので図示を省略するが、シフトレジスタと複数の論理積回路とから構成されている。このうち、シフトレジスタは、図 4 に示されるように、1 水平有効走査期間の最初に供給される転送開始パルス  $DX$  を、クロック信号  $CLX$ （および反転クロック信号  $CLX_{inv}$ ）のレベル



が遷移する毎に順次シフトして、信号  $S1'$ 、 $S2'$ 、 $S3'$ 、…、 $Sn'$  として出力し、各論理積回路は、信号  $S1'$ 、 $S2'$ 、 $S3'$ 、…、 $Sn'$  のパルス幅を、イネーブル信号  $ENB1$  または  $ENB2$  を用いて、相隣接するもの同士が互いに重複しないように、期間  $SMPa$  に狭めてサンプリング信号  $S1$ 、 $S2$ 、 $S3$ 、…、 $Sn$  として出力するものである。

## 【0064】

続いて、サンプリング回路 150 は、データ線 114 毎に設けられるサンプリングスイッチ 151 から構成されている。一方、データ線 114 は 6 本毎にブロック化されており、図 2 において左から数えて  $j$  ( $j$  は、1、2、…、 $n$ ) 番目のブロックに属するデータ線 114 の 6 本のうち、最も左に位置するデータ線 114 の一端に接続されるサンプリングスイッチ 151 は、画像信号線 122 を介して供給される画像信号  $VID1$  を、サンプリング信号  $Sj$  がアクティブとなる期間においてサンプリングして、当該データ線 114 に供給する構成となっている。また、同じく  $i$  番目のブロックに属するデータ線 114 の 6 本のうち、2 番目に位置するデータ線 114 の一端に接続されるサンプリングスイッチ 151 は、画像信号線 122 を介して供給される画像信号  $VID2$  を、サンプリング信号  $Sj$  がアクティブとなる期間においてサンプリングして、当該データ線 114 に供給する構成となっている。

## 【0065】

以下同様に、 $j$  番目のブロックに属するデータ線 114 の 6 本のうち、3、4、5、6 番目に位置するデータ線 114 の一端に接続されるサンプリングスイッチ 151 の各々は、画像信号線 122 を介して供給される画像信号  $VID3$ 、 $VID4$ 、 $VID5$ 、 $VID6$  の各々を、サンプリング信号  $Sj$  がアクティブとなる期間においてサンプリングして、対応するデータ線 114 に供給する構成となっている。すなわち、サンプリング信号  $Sj$  がアクティブレベルとなると、 $i$  番目のブロックに属する 6 本のデータ線 114 の各々には、それぞれ画像信号  $VID1 \sim VID6$  が同時にサンプリングされる構成となっている。

## 【0066】

一方、表示領域 100a を挟んで、データ線駆動回路 140 とは反対側の領域

には、プリチャージ回路 1 6 0 が備えられる。このプリチャージ回路 1 6 0 は、データ線 1 1 4 毎に設けられたプリチャージングスイッチ 1 6 1 からなり、各プリチャージングスイッチ 1 6 1 は、プリチャージ制御線 1 6 3 を介して供給されるプリチャージ制御信号 N R G がアクティブレベルとなった場合に、プリチャージ信号線 1 6 5 を介して供給されるプリチャージ電圧信号 N R S を、対応するデータ線 1 1 4 にプリチャージする構成となっている。

## 【 0 0 6 7 】

ここで、プリチャージ制御信号 N R G は、図 5 に示されるように、1 水平帰線期間のうち、その時間的な前後端から隔絶された期間においてアクティブレベルとなる信号である。また、プリチャージ電圧信号 N R S は、同図に示されるように、1 水平走査期間 1 H 毎に、電圧 L C com を基準にして電圧 V g +、V g - でレベル反転する信号である。

## 【 0 0 6 8 】

一方、電圧 L C com は、上述したように対向電極 1 0 8 に印加される時間的に一定の電圧であって、画像信号 V I D 1 ~ V I D 6 の振幅中心電圧である。また、電圧 V g +、V g - は、電圧 L C com に対する差電圧の実効値が互いに同一となる（絶対値が等しい）電圧であって、それぞれ電圧 L C com よりも高位側電圧、低位側電圧である。ここで、本実施形態が電圧無印加状態で白色表示を行うノーマリーホワイモードである場合に、正極側、負極側で黒色表示するために画素電極 1 1 8 に印加すべき電圧を V b +、V b - とすると、電圧 V g + は、電圧 V b + と電圧 L C com との中間電圧に設定され、また、電圧 V g - は、電圧 V b - と電圧 L C com との中間電圧に設定される。すなわち、電圧 V g +、電圧 V b - は、それぞれ正極側、負極側の書込における中間（灰色）電圧に相当するものである。

## 【 0 0 6 9 】

このような構成によるプリチャージ回路 1 6 0 によれば、サンプリング信号 S 1、S 2、S 3、…、S n が供給される 1 水平有効表示期間よりも前の 1 水平帰線期間において、各データ線 1 1 4 が、電圧 V g + または V g - に、予めプリチャージされるので、その直後の 1 水平有効表示期間において、画像信号 V I D 1 ~ V I D 6 がデータ線 1 1 4 にサンプリングされる際の負荷が低減されることとな

る。

#### 【0070】

なお、これらの走査線駆動回路130や、データ線駆動回路140、サンプリング回路150、プリチャージ回路160などは、製造後に欠陥の有無を判別するための検査回路とともに、表示領域100aの周辺に形成されるので、周辺回路として呼称されるものである。ただし、検査回路については、本件とは直接関係しないので、その説明については省略することとする。

#### 【0071】

##### <電気光学装置の動作>

次に、上述した構成に係る電気光学装置の動作について説明する。ここですでに、走査信号G1がアクティブレベルとなる1水平走査期間1Hについて着目する。なお、この1水平走査期間では、説明の便宜上、正極側の書込を行うものとする。と、画像信号VID1～VID6は、対向電極108に印加される電圧LCcomに対して高位側電圧となる。

#### 【0072】

またこれに先立って、プリチャージ制御信号NRGが、図5に示されるように、その帰線期間の前後端から隔絶された期間にてアクティブレベルとなる。この際、プリチャージ電圧信号NRSは、正極側の書込に対応して電圧Vg+となる。このため、当該期間において、すべてのデータ線114が電圧Vg+にプリチャージされることとなる。

#### 【0073】

次に、1水平帰線期間が終了して、1水平有効表示期間になると、その最初に転送開始パルスDXが、図4または図5に示されるように、データ線駆動回路140に供給される。この転送開始パルスDXは、クロック信号CLXのレベルが遷移する毎に順次シフトされた信号S1'、S2'、S3'、…、Sn'として出力される。そして、この信号S1'、S2'、S3'、…、Sn'の各パルス幅が、相隣接するもの同士が互いに重複しないように期間SMPaに狭められて、サンプリング信号S1、S2、S3、…、Snとして出力される。

#### 【0074】

一方、1系統の画像信号V I Dは、外部回路によって、図4に示されるように、画像信号V I D 1～V I D 6に分配されるとともに、時間軸に対して6倍に伸長されて、液晶パネル100に供給される。

#### 【0075】

ここで、走査信号G1がアクティブレベルとなる期間において、サンプリング信号S1がアクティブレベルとなると、図2において上から数えて1本目のT F T 1 1 6がすべてオンになるとともに、左から1番目のブロックに属する6本のデータ線114に、それぞれ画像信号V I D 1～V I D 6がサンプリングされる。そして、サンプリングされた画像信号V I D 1～V I D 6は、当該1本目の走査線112と当該6本のデータ線114と交差する画素のT F T 1 1 6によって、それぞれ対応する画素電極118に印加されることとなる。

#### 【0076】

この後、サンプリング信号S2がアクティブレベルとなると、今度は、2番目のブロックに属する6本のデータ線114に、それぞれ画像信号V I D 1～V I D 6がサンプリングされて、これらの画像信号V I D 1～V I D 6が、当該1本目の走査線112と当該6本のデータ線114と交差する画素のT F T 1 1 6によって、それぞれ対応する画素電極118に印加されることとなる。

#### 【0077】

以下同様にして、サンプリング信号S3、S4、……、S<sub>n</sub>が順次アクティブレベルとなると、第3番目、第4番目、…、第n番目のブロックに属する6本のデータ線114にそれぞれ画像信号V I D 1～V I D 6がサンプリングされ、これらの画像信号V I D 1～V I D 6が、当該1本目の走査線112と、当該6本のデータ線114と交差する画素のT F T 1 1 6によって、それぞれ対応する画素電極118に印加されることとなる。これにより、第1行目の画素のすべてに対する書込が完了することになる。

#### 【0078】

続いて、走査信号G2がアクティブとなる期間について説明する。本実施形態では、上述したように、走査線単位の極性反転が行われるので、この1水平走査期間においては、負極側の書込が行われることとなる。このため、画像信号V I

D1～VID6は、対向電極108に印加される電圧LCcomに対して低位側電圧となる。これに先だって、帰線期間におけるプリチャージ電圧信号NRSの電圧はVg-となるので、プリチャージ制御信号NRGがアクティブレベルとなった場合に、すべてのデータ線114は、電圧Vg-にプリチャージされることとなる。

## 【0079】

他の動作については同様であり、サンプリング信号S1、S2、S3、…、Snが順次アクティブレベルとなって、第2行目の画素のすべてに対する書込が完了することになる。

## 【0080】

以下同様にして、走査信号G3、G4、…、Gmがアクティブとなって、第3行目、第4行目、…、第m行目の画素に対して書込が行われることとなる。これにより、奇数行目の画素については正極側の書込が行われる一方、偶数行目の画素については負極側の書込が行われて、この1垂直走査期間においては、第1行目～第m行目の画素のすべてにわたった書込が完了することになる。

## 【0081】

そして、次の1垂直走査期間においても、同様な書込が行われるが、この際、各行の画素に対する書込極性が入れ換えられる。すなわち、次の1垂直走査期間において、奇数行目の画素については負極側の画素に対して書込が行われる一方、偶数行目の画素については正極側の書込が行われることとなる。

## 【0082】

このように、1垂直走査期間毎に画素に対する書込極性が入れ換えられるので、液晶105に直流成分が印加されることがなくなって、その劣化が防止されている。

## 【0083】

また、このような駆動では、データ線114を1本毎に駆動する方式と比較すると、各サンプリングスイッチ151によって画像信号をサンプリングする時間が6倍となるので、各画素における書込み電時間が十分に確保される。このため、高コントラスト比が得られることになる。さらに、データ線駆動回路140に

おけるシフトレジスタの段数、および、クロック信号CLXの周波数が、それぞれ1/6に低減されるので、段数の低減化と併せて低消費電力化も図られることとなる。

## 【0084】

さらに、サンプリング信号S1、S2、…、Snのアクティブ期間は、クロック信号CLXの半周期よりも狭められて、期間SMPaに制限されているので、隣接するサンプリング信号同士のオーバーラップが事前に防止される。このため、あるブロックに属する6本のデータ線114にサンプリングされるべき画像信号VID1～VID6が、これに隣接するブロックに属する6本のデータ線114にも同時サンプリングされる事態が防止されて、高品位な表示が可能となっている。

## 【0085】

## ＜画素の詳細構成＞

次に、画素の詳細について図6および図7を参照して説明する。図6は、画素部の詳細構成を示す平面図であり、図7(a)は、図6におけるB-B'線の断面図である。なお、図6において、最上導電層となる画素電極118については、説明理解のために、その輪郭だけを破線により示すことにする。

## 【0086】

まず、図7(a)に示されるように、素子基板101の基材たる基板10には、下地絶縁膜40を介してポリシリコンからなる半導体層30が設けられ、その表面は、熱酸化による絶縁膜32で覆われている。

## 【0087】

一方、図6に示されるように、データ線114はY方向に延在し、走査線112はX方向に延在している。また、容量線175は、走査線112と近接して平行に設けられているが、データ線114と交差する部分においては、データ線114と重なるように、前段側（図6において上側）に突出して形成されている。

## 【0088】

ここで、半導体層30は、データ線114および容量線175が交差する部分から、容量線175の延在方向（図6において右方向）、データ線114の下層

における容量線 1 7 5 の突出方向（同、上方向）、および、その反対方向（同、下方向）の計 3 方向に延設して略 T 字状に、かつ、これらの配線で覆われるように形成されている。

## 【 0 0 8 9 】

さらに、半導体層 3 0 のうち、走査線 1 1 2 と重なる部分がチャネル領域 3 0 a となっている。換言すれば、走査線 1 1 2 のうち、半導体層 3 0 と交差する部分がゲート電極 1 1 6 G として用いられている。なお、ゲート電極 1 1 6 G を含む走査線 1 1 2 および容量線 1 7 5 は、後述するように例えばポリシリコン等から形成されている。

## 【 0 0 9 0 】

また、半導体層 3 0 において、チャネル領域 3 0 a のソース側には、低濃度（翻訳は lightly doped で表現する）ソース領域 3 0 b、高濃度（翻訳は heavily doped で表現する）ソース領域 1 1 6 S が設けられる一方、ドレイン側には、低濃度ドレイン領域 3 0 c、高濃度ドレイン領域 1 1 6 D が設けられて、いわゆる L D D (Lightly Doped Drain) 構造となっている。

## 【 0 0 9 1 】

このうち、高濃度ソース領域 1 1 6 S は、絶縁膜 3 2、第 1 の層間絶縁膜 4 1 および第 2 の層間絶縁膜 4 2 を開孔するコンタクトホール 5 2 によって、アルミニウム等からなるデータ線 1 1 4 に接続されている。

## 【 0 0 9 2 】

一方、高濃度ドレイン領域 1 1 6 D は、絶縁膜 3 2 および第 1 の層間絶縁膜 4 1 を開孔するコンタクトホール 5 1 によって、高融点金属やポリシリコン等からなる中間導電膜 1 8 1 の一端に接続されている。一方、この中間導電膜 1 8 1 の他端は、第 2 の層間絶縁膜 4 2 および第 3 の層間絶縁膜 4 3 を開孔するコンタクトホール 5 3 によって、画素電極 1 1 8 に接続されている。すなわち、画素電極 1 1 8 は、中間導電膜 1 8 1 を介して、T F T 1 1 6 の高濃度ドレイン領域 1 1 6 D に接続されている。

## 【 0 0 9 3 】

ここで、画素電極 1 1 8 を高濃度ドレイン領域 1 1 6 D に直接的に接続せずに

、中間導電膜 1 8 1 を介して間接的に接続する構成としたのは、次のような理由による。すなわち、画素電極 1 1 8 は、液晶容量に電圧を印加するための電極であるから、液晶 1 0 5 に近い部分に形成され、反対に半導体層 3 0 は遠い部分に形成される。さらに、半導体層 3 0 と画素電極 1 1 8 との間には、本実施形態のように T F T 1 1 6 がプレーナ型であれば、走査線 1 1 2 やデータ線 1 1 4 などの配線層が層間絶縁膜を介して積層されるので、半導体層 3 0 と画素電極 1 1 8 との距離は必然的に大きくなる。このため、画素電極 1 1 8 を高濃度ドレイン領域 1 1 6 D に直接的に接続する構成では、比較的深さのあるコンタクトホールを例えばドライエッチングにより形成しなければならない。ただし、このような深さのあるコンタクトホールを形成する際に、過剰にエッチングしてしまうと、半導体層 3 0 を突き破ってしまう、という不具合が発生する。特に、半導体層 3 0 と絶縁膜との選択比に大差がなく、さらには、半導体層 3 0 の膜厚が、エッチングすべき絶縁膜の厚さに比べて極めて薄いという事情は、かかるコンタクトホールを設けることを、より困難にさせている。

## 【 0 0 9 4 】

そこで、第 1 に、高濃度ドレイン領域 1 1 6 D の対応位置にコンタクトホール 5 1 を設けて、絶縁膜 3 2 および第 1 の層間絶縁膜 4 1 を開孔し、第 2 に、このコンタクトホール 5 1 を介して電氣的に接続される中間導電膜 1 8 1 を形成して、この中間導電膜 1 8 1 を高濃度ドレイン領域 1 1 6 D のバリア膜として機能させているのである。これにより、画素電極 1 1 8 形成前にコンタクトホール 5 3 を開孔する際に、中間導電膜 1 8 1 をエッチングストッパーとして用いることによって、過剰エッチングによる半導体層 3 0 の突き破りを防止しているのである。

## 【 0 0 9 5 】

さて、この中間導電膜 1 8 1 は、特に図 6 に示されるように、隣接するデータ線 1 1 4 の間において容量線 1 7 5 をほぼ覆うとともに、その一部が走査線 1 1 2 にかかっている（ただし電氣的には絶縁されている）。さらに、画素電極 1 1 8 が形成されない領域は、Y 方向ではデータ線 1 1 4 で覆われ、X 方向では走査線 1 1 2 および中間導電膜 1 8 1 で覆われている。ここで中間導電層 1 8 1 とし



てはポリシリコンでも良し、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン) 又はPb (鉛) の単体若しくはこれらの合金、金属シリサイドでも良い。したがって、画素部での遮光領域は、データ線 1 1 4、走査線 1 1 2 および中間導電膜 1 8 1 により完全に規定されるので、対向基板 1 0 2 に別途設けられていた遮光膜を省略することが可能となる。くわえて、半導体層 3 0 は、データ線 1 1 4、走査線 1 1 2、容量線 1 7 5 および中間導電膜で覆われているので、基板の上側からの光が T F T 1 1 6 に侵入するのが防止されることになる。また、半導体層 3 0 の下側であって、基板 1 0 および下地絶縁膜 4 0 の間に遮光膜を形成しても良い。これにより、基板の下側からの光が T F T 1 1 6 に侵入することを防止することができるため、光照射による T F T 1 1 6 の特性変化の防止が図られている。

## 【 0 0 9 6 】

次に、蓄積容量 1 1 9 の詳細構成について、図 6 および図 7 (a) にくわえて、図 7 (b) および同図 (c) をも参照して説明する。ここで、図 7 (b) は、図 6 における C - C' 線の断面図であり、図 7 (c) は、蓄積容量 1 1 9 の等価回路を示す図である。

## 【 0 0 9 7 】

まず、半導体層 3 0 のうち、高濃度ドレイン領域 1 1 6 D に隣接する領域 3 0 f は、高濃度のドーピングにより低抵抗化されて、平面的には、容量線 1 7 5 の下層において略 L 字形状となっている。一方、中間導電膜 1 8 1 は、容量線 1 7 5 とは第 1 の層間絶縁膜 4 1 を介して、かつ、上述したように X 方向において容量線 1 7 5 を覆うように形成されている。したがって、蓄積容量 1 1 9 は、図 7 (b) または同図 (c) に示されるように、2 つの容量を並列化したものとなる。詳細には、蓄積容量 1 1 9 は、領域 3 0 f を一方の電極とし、容量線 1 7 5 を他方の電極として、半導体層 3 0 の表面に形成された絶縁膜 3 2 を挟持してなる第 1 の容量と、中間導電膜 1 8 1 を一方の電極とし、容量線 1 7 5 を他方の電極として、第 1 の層間絶縁膜 4 1 を挟持してなる第 2 の容量との並列接続により構成されている。このため、蓄積容量 1 1 9 は、単一の容量からなる場合と比較して容量増加するので、液晶容量の保持特性が改善されて、表示の高品位化が図ら

れることになる。

#### 【0098】

なお、最上層（すなわち、液晶108と接する面）の全面には、ポリイミド等の有機膜からなる配向膜61が形成されて、対向基板102との貼り合わせ前に、ラビング処理が施される。

#### 【0099】

##### <周辺回路の詳細構成>

次に、周辺回路の詳細について、サンプリング回路150の一部領域と、走査線駆動回路130の一部領域とを例にとってそれぞれ説明する。なお、周辺回路を構成する能動素子や配線は、後の製造プロセスで詳述するように、表示領域におけるTFT116や、走査線112（および容量線175）、中間導電膜181、データ線114と共通プロセスで形成される。

#### 【0100】

このうち、表示領域101aにおいて、配線は、走査線112（および容量線175）、中間導電膜181、データ線114の順番で形成されるので、以下の説明では、周辺回路における配線のうち、走査線112を構成する導電層と同一層からなる配線を第1層の配線と呼称し、また、中間導電膜181を構成する導電層と同一層からなる配線を第2層の配線と呼称し、さらに、データ線114を構成する導電層と同一層からなる配線を第3層の配線と呼称することとする。なお、中間導電膜181を構成する導電層は、従来では周辺回路領域に用いられていなかったもので、本実施形態における第3層の配線は、従来の電気光学装置における第2層の配線に相当することになる。

#### 【0101】

このように、周辺回路において第1層から第3層までの3層分の配線を用いると、周辺回路を設計する際の自由度が、2層分の配線しか用いていなかった従来よりも、各段に向上する。さらに、第2層の配線を次に述べるように用いることによって、配線抵抗の低減化や、回路形成領域の縮小化を図ることが可能となる。

#### 【0102】

# ＜サンプリング回路の近傍領域＞

そこでまず、サンプリング回路 1 5 0 の一部領域について、図 8 (a) および同図 (b) を参照して説明する。なお、ここでは、左から  $j$  番目のブロックに対応して出力されるサンプリング信号  $S_j$  と、6 本の画像信号線 1 2 2 から当該ブロックに属する 6 本のデータ線 1 1 4 に至るまでの経路との関係を中心にして説明することとする。なお、 $j$  は、図 2 の説明と同様にブロックを一般化して説明するためのものであって、本実施形態では「1」から「 $n$ 」までのいずれかの整数である。

## 【0 1 0 3】

図 8 (a) は、この領域の詳細構成を示す平面図である。まず、データ線駆動回路 1 4 0 から出力されるサンプリング信号  $S_j$  は、第 3 層の配線 3 9 1、下層の配線 1 9 1、第 3 層の配線 3 9 3 および 6 個の第 1 層の配線 4 1 2 という経路で供給される。ここで、各配線同士は、コンタクトホールを介して接続され、また、第 1 層の配線 4 1 2 は、そのままサンプリングスイッチ 1 5 1 を構成する T F T のゲート電極となっている。

## 【0 1 0 4】

一方、画像信号  $V I D 1 \sim V I D 6$  のうち、画像信号  $V I D 1$  は、次のような経路でサンプリングスイッチ 1 5 1 に供給されている。すなわち、画像信号  $V I D 1$  は、第 3 層からなる画像信号線 1 2 2、下層の配線 1 9 3、第 3 層の配線 3 9 5、下層の配線 1 9 5 および第 3 層の配線 3 9 7 という経路を介して、サンプリングスイッチ 1 5 1 を構成する T F T のソース領域に供給されている。他の画像信号  $V I D 2 \sim V I D 6$  についても同様な経路を介して、サンプリングスイッチ 1 5 1 を構成する T F T のソース領域に供給されている。そして、各サンプリングスイッチ 1 5 1 を構成する T F T のドレイン領域には、それぞれ第 3 層のデータ線 1 1 4 が接続されている。

## 【0 1 0 5】

このようにサンプリング回路 1 5 0 の各種配線には原則として第 3 層の配線が用いられるが、この第 3 層の配線と交差する部分およびゲート電極として用いられる部分には例外として下層の配線が用いられている。

## 【 0 1 0 6 】

ここで、図 8 ( a ) における D - D ' 線の断面構造について、図 8 ( b ) を参照して説明する。この図に示されるように、画像信号 V I D 1 が供給される画像信号線 1 2 2 から分岐して、他の画像信号線 1 2 2 とは下層において交差する配線 1 9 3 は、第 1 層の配線 1 1 2 b と第 2 層の配線 1 8 1 b とが並列接続された並列配線となっている。詳細には、配線 1 8 1 b は、その両端において第 1 の層間絶縁膜 4 1 を開孔するコンタクトホール 5 5 <sub>1</sub>、5 6 <sub>1</sub> を介して配線 1 1 2 b と並列接続されている。さらに、画像信号 V I D 1 が供給される画像信号線 1 2 2 は、コンタクトホール 5 5 <sub>1</sub> と同位置に設けられたコンタクトホール 5 5 <sub>2</sub> を介して配線 1 8 1 b と接続される一方、配線 3 9 5 は、コンタクトホール 5 6 <sub>1</sub> と同位置に設けられたコンタクトホール 5 6 <sub>2</sub> を介して配線 1 8 1 b と接続されている。

## 【 0 1 0 7 】

なお、画像信号 V I D 1 以外の他の画像信号 V I D 2 ~ V I D 6 が供給される画像信号線 1 2 2 から分岐する配線 1 9 3 についても、同様に第 1 層の配線 1 1 2 b と第 2 層の配線 1 8 1 b とが並列接続された並列配線となっている。さらに、画像信号線 1 2 2 から分岐・交差する配線 1 9 3 のほか、サンプリング信号 S <sub>j</sub> が供給される配線 3 9 3 と交差するための配線 1 9 5 についても、同様に第 1 層の配線 1 1 2 c と第 2 層の配線 1 8 1 c とが並列接続された並列配線となっている。

## 【 0 1 0 8 】

ここで、サンプリング回路 1 5 0 において、配線 1 9 3、1 9 5 に、第 1 層の配線と第 2 層の配線との並列配線を用いているのは、次の理由による。すなわち、画像信号 V I D 1 ~ V I D 6 は、画素電極 1 1 8 に最終的に印加されて表示状態を直接的に規定するアナログ信号であるので、その供給経路は、少しでも低抵抗であるのが望ましい。このため、画像信号線 1 2 2 についてはアルミニウムからなる第 3 層が用いられるが、ここから分岐する配線については、一部どうしても第 3 層以外の層を用いなければならない。このため、従来では、この部分には、走査線 1 1 2 を構成する導電層からなる配線、すなわち、第 1 層の配線が用い

られていた。しかし、第1層は、上述したようにポリシリコン等であるので、第3層を構成するアルミニウム等と比較して、遙かに高抵抗である。このため、第1層の配線長がごくわずかであっても、その抵抗分による影響は無視できない程に大きい。

## 【0109】

そこで、本実施形態では、画像信号VID1～VID6の供給経路のうち、第3層以外の層からなる配線を用いなければならない部分には、本来、表示領域で用いられていた第2層を周辺回路領域においても用いるとともに、この第2層からなる配線と、第1層の配線とを並列接続しているのである。このため、当該部分の抵抗値は、単一層の配線からなる場合と比較して、約半分程度にまで低減されることになる。したがって、本実施形態では、画像信号VID1～VID6は、供給経路における波形鈍化や電圧降下等が防止された上で、データ線114に供給されるので、良好な表示が可能となる。

## 【0110】

なお、画像信号線122から分岐する並列配線193は、図8(a)に示されるように、画像信号VID1～VID6のそれぞれにわたって、略同一長・略同一幅となっている。これは、本実施形態では、配線193が第1層の配線112bと第2層の配線181bとの並列接続から構成されて、その配線抵抗が低減されてはいるものの、第3層の配線と比較すれば依然として大きいので、配線193の抵抗値が、画像信号VID1～VID6のそれぞれにわたって互いに等しくするための措置である。

## 【0111】

また、画像信号VID1～VID6の供給経路から外れるが、サンプリング信号Sjを画像信号線122と交差するために供給する配線191についても、同様に第1層の配線と第2層の配線との並列接続となっている。これは、サンプリング信号Sjの波形鈍化等による遅延防止の観点から、サンプリング信号Sjの供給経路についても、少しでも低抵抗であることが要請されているからである。

## 【0112】

このように、本実施形態において、サンプリング回路150の各種配線には、

原則として低抵抗な第3層の配線が用いられる一方、第3層の配線と交差しなければならない部分には、第1層の配線と第2層の配線との並列配線が用いられている。ここで、周辺回路全体でみれば、このように並列配線を用いるべき部分は、サンプリング回路150における配線191、193、195のほかにも多数存在する。例えば、図2におけるプリチャージ制御線163は、各プリチャージングスイッチ161を構成するTFTのゲート電極にそれぞれ分岐しなければならないが、分岐後、プリチャージ電圧信号線165と交差しなければならない部分が存在する。また、容量線175は、表示領域100a内においては走査線112と同じ第1層の配線であるが、それ以外の領域においては、実装端子107から引き回して共通接続することとの関係上、第3層の配線で構成されなければならない。このような容量線175に対して、プリチャージ制御線163、プリチャージ電圧信号線165は、図2に示されるように交差しなければならない部分が存在する。さらに、走査線駆動回路130において、シフトレジスタを構成する単位回路には、電源電圧V<sub>ddY</sub>、V<sub>ssY</sub>とともに、クロック信号CLYおよび反転クロック信号CLY<sub>inv</sub>を供給する必要がある。このため、クロック信号CLYおよび反転クロック信号CLY<sub>inv</sub>の基幹配線から分岐する配線については、少なくとも電源電圧V<sub>ddY</sub>、V<sub>ssY</sub>が供給される配線と交差しなければならない部分が存在する。同様に、データ線駆動回路140において、シフトレジスタを構成する単位回路には、電源電圧V<sub>ddX</sub>、V<sub>ssX</sub>とともに、クロック信号CLXおよび反転クロック信号CLX<sub>inv</sub>を、各論理積回路には、電源電圧V<sub>ddX</sub>、V<sub>ssX</sub>とともに、イネーブル信号ENB1、ENB2を、それぞれ供給する必要がある。このため、クロック信号CLXおよび反転クロック信号CLX<sub>inv</sub>の基幹配線から分岐する配線と、イネーブル信号ENB1、ENB2の基幹配線から分岐する配線とについては、それぞれ、少なくとも電源電圧V<sub>ddY</sub>、V<sub>ssY</sub>が供給される配線と交差しなければならない部分が存在する。そして、このように第3層の配線と交差しなければならない部分に、第1層の配線と第2層の配線とを並列接続した並列配線を用いることで、当該部分の低抵抗化を図ることが可能となる。

【0113】

# ＜走査線駆動回路の一部領域＞

続いて、走査線駆動回路 1 3 0 の一部領域について図 9 (a) および同図 (b) を参照して説明する。ここで、図 9 (a) は、走査線駆動回路 1 3 0 の一部領域の構成を示す平面図であり、同図 (b) は、その等価回路を示す図である。なお、図に示される領域は、走査線駆動回路 1 3 0 を構成するシフトレジスタのうち、転送開始パルス D Y をクロック信号 C L Y および反転クロック信号 C L Y in v にしたがって転送するための回路を部分的に抜き出したものである。

## 【0 1 1 4】

図 9 (a) に示されるように、走査線駆動回路 1 3 0 には、第 1 層、第 2 層、第 3 層の配線が用いられている。そして、この領域においても、原則として第 3 層の配線が用いられているが、例外として、第 3 層の配線と交差する部分およびゲート電極として用いられる部分には、第 1 層の配線が用いられ、また、一方の T F T のソース電極から他方の T F T のドレイン電極に至る配線の一部には、第 2 層の配線 1 8 1 d が用いられている。特に、領域 1 3 2 では、第 1 層の配線 1 1 2 d、第 2 層の配線 1 8 1 d および第 3 層の配線 1 1 4 d が互いに層間絶縁膜（ここでは図示省略）を介し積層されて形成されている。

## 【0 1 1 5】

ここで、走査線駆動回路 1 3 0 において、上述したサンプリング回路 1 5 0 とは異なり、第 2 層の配線 1 8 1 d を単独で用いるとともに、3 層の配線を同一領域に形成しているのは、次の理由による。すなわち、データ線駆動回路 1 3 0 は、サンプリング信号 S 1、S 2、…、S n を、それぞれ 6 本のデータ線 1 1 4 毎に供給するので、データ線駆動回路 1 3 0 を構成するシフトレジスタの単位回路や論理積回路については、図 8 (a) におけるデータ線ピッチの 6 倍のピッチ内に収めれば済む。これに対し、走査線駆動回路 1 3 0 は、走査信号 G 1、G 2、…、G m を m 本の走査線 1 1 2 の各々に対してそれぞれ供給しなければならないので、走査線駆動回路 1 4 0 を構成するシフトレジスタの単位回路や論理積回路については、図 9 (a) における走査線ピッチと等倍のピッチ内に収めなければならない。すなわち、走査線駆動回路 1 3 0 では、その単位回路や論理積回路を、データ線駆動回路 1 4 0 と比較して、より狭い領域内において形成しなければ

ならない。ここで仮に、第2層の配線181dを用いなくて、3つの配線を、第1層および第3層のみから形成する場合、1つの配線を第1層から、残りの2つの配線を第3層から、それぞれ形成しなければならないが、この場合、同一領域において、第3層の配線を2つ重ねて形成するのは不可能である。このため、異なる領域において、第3層の配線を並べて形成するほかないので、それだけ幅広の領域を必要とすることになる。したがって、このような構成では、走査線駆動回路130を構成する単位回路や論理積回路を、より狭い領域内において形成しなければならないという要請に反することになる。これに対し、本実施形態では、第2層の配線181dを単独で用いて、同一の領域132において第1層の配線112d、第2層の配線181dおよび第3層の配線114dを、（層間絶縁膜を介して絶縁を図った上で）互いに重ねて形成することによって、回路形成に必要な領域の幅を小さくすることができることとなる。

## 【0116】

なお、走査線駆動回路130においては、回路形成に必要な領域の幅が狭いことを要求されない部分であって、第3層の配線と交差しなければならない部分には、第1層の配線と第2層の配線との並列配線を用いても良いのは、もちろんである。

## 【0117】

## ＜製造プロセス＞

次に、本実施形態に係る電気光学装置の製造プロセスについて、素子基板101の表示領域と周辺回路領域とを中心にして説明する。なお、ここいう周辺回路領域としては、図8（b）において、ある1本の画像信号線122から分岐して、他の画像信号線122と交差する配線193の近傍領域を例示することとする。

## 【0118】

まず、図10（1）に示されるように、例えば、石英基板や、ガラス基板、シリコン基板等の基板10の表面に、下地絶縁膜40を形成する。詳細には、下地絶縁膜40は、例えば常圧法や減圧CVD（Chemical Vapor Deposition）法などにより、NSG（ノンドープトシリケートガラス）や、PSG（リンシリケート）



トガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス、または、酸化シリコン膜、窒化シリコン膜等から、約50~1500nmの厚さで、好ましくは約600~800nm程度の厚さで形成される。

#### 【0119】

引き続き、下地絶縁膜40の上面全体に、例えば減圧CVD法などによって、アモルファスシリコン層を約100nmの厚さで形成し、熱処理等により固相成長させることによってポリシリコン層を形成する。この際、Nチャネル型のTFETを形成する場合には、Sb(アンチモン)や、As(砒素)、P(リン)などのV属元素の不純物を、わずかにイオン注入等によりドーピングする一方、Pチャネル型TFETを形成する場合には、Al(アルミニウム)や、B(ボロン)、Ga(ガリウム)などのIII属元素の不純物を、同様に、わずかにイオン注入等によりドーピングする。そして、同図(2)に示されるように、ポリシリコン層を、フォトリソグラフィやエッチング等によってパターニングして、表示領域におけるTFET116の半導体層30を島状に形成する。なお、この際、周辺回路全体においては、走査線駆動回路130や、データ線駆動回路140、サンプリング回路150、プリチャージ回路160を構成するTFETの半導体層についても同様に形成する。また、TFET116の半導体層30のうち、容量線175が形成される領域30fについては、P(リン)などの不純物を高濃度でドーピングして、予め低抵抗化を図っておいても良い。

#### 【0120】

さらに、図10(3)に示されるように、半導体層30の表面を熱酸化処理して、ゲート絶縁膜32を当該半導体層30の表面に形成する。この工程により、半導体層30は最終的に約30~150nmの厚さ、好ましくは約35~45nmの厚さとなる一方、ゲート絶縁膜32は約60~150nmの厚さ、好ましくは約30nmの厚さとなる。

#### 【0121】

次に、ゲート絶縁膜32および下地絶縁膜40の上面に、ポリシリコン層を減圧CVD法等により堆積する。そして、図11(4)に示されるように、このポ

リシリコン層を、フォトリソグラフィやエッチング等によってパターニングして、表示領域にあってはTFT116のゲート電極を兼用する走査線112と、蓄積容量119において他方の電極をなす容量線175とを形成し、また、周辺回路領域にあっては並列配線193のうち一方の配線112bを形成する。すなわち、周辺回路全体では、ゲート電極を含めて第1層の配線を形成する。

## 【0122】

続いて、同図(5)に示されるように、半導体層30に適切な不純物をドーピングする。詳細には、表示領域におけるTFT116をNチャネル型とする場合、ソース・ドレイン領域のうち、チャネル領域30aに隣接する領域に対し、走査線112の一部であるゲート電極を拡散マスクとして、PなどのV族元素の不純物を低濃度でドーピングする。同時に、周辺回路全体におけるNチャネル型TFTについても、同様に第1層の配線の一部であるゲート電極を拡散マスクとして、不純物を低濃度でドーピングする。続いて、ゲート電極よりも幅広のレジストを形成し、これをマスクとして、同じくPなどのV族元素の不純物を高濃度でドーピングする。これによりNチャネル型TFTは、チャネル領域30aのソース側には、低濃度ソース領域30b、高濃度ソース領域116Sが設けられる一方、ドレイン側には、低濃度ドレイン領域30c、高濃度ドレイン領域116Dが設けられて、LDD構造となる。なお、図示は省略するが、これらのNチャネル型TFTの半導体層30をレジストでマスクした後、周辺回路全体におけるPチャネル型TFTについても同様に、チャネル領域に隣接する領域に対し、第1層の配線の一部であるゲート電極をマスクとして、例えばB(ボロン)などのIII族元素の不純物をドーピングして低濃度領域を形成し、引き続き、同ゲート電極よりも幅広のレジストをマスクとして、同じくBなどのIII族元素の不純物をドーピングして高濃度領域を形成する。また、各チャネル型TFTをLDD構造としないで、オフセット構造のTFTとしても良く、また、単なるセルフアライン型(自己整合型)のTFTとしても良い。

## 【0123】

次に、同図(6)に示されるように、走査線112や、第1層の配線112b、半導体層30、下地絶縁膜40などを覆うように、第1の層間絶縁膜41を、

例えばCVD法等によって堆積する。なお、第1の層間絶縁膜41の材質としては、下地絶縁膜40と同様に、NSGや、PSG、BSG、BPSGなどのシリケートガラス膜や、窒化シリコン膜、酸化シリコン膜などが挙げられる。

#### 【0124】

さらに、図12(7)に示されるように、表示領域にあってはコンタクトホール51を、周辺回路領域にあっては第1層の配線112bと接続するためのコンタクトホール55<sub>1</sub>、56<sub>1</sub>を、それぞれドライエッチング等により形成する。詳細には、コンタクトホール51は、TFT116の高濃度ドレイン領域116Dに対応した位置において、第1の層間絶縁膜41およびゲート絶縁膜32を開孔するように形成される一方、コンタクトホール55<sub>1</sub>、56<sub>1</sub>は、第1層の配線112bの両端位置において、それぞれ第1の層間絶縁膜41を開孔するように形成される。なお、周辺回路全体において、第1層の配線と第2層の配線との導通を図る場合には、この導通部分に対応して同様にコンタクトホール(図示省略)が形成される。

#### 【0125】

次に、第1の層間絶縁膜41の上に、高融点金属や金属シリサイドやあるいはポリシリコンなどからなる導電層を、スパッタリングなどによって約50～500nmの厚さで、好ましくは約200nm程度の厚さで堆積する。導電層は高融点金属や金属シリサイドとポリシリコンを多層に形成しても良いことは言うまでもない。これにより導電層の応力緩和やコンタクトホールの低抵抗化を実現することができる。そして、この導電層を、同図(8)に示されるように、フォトリソグラフィやエッチング等によってパターニングして、表示領域にあっては、TFT116の高濃度ドレイン領域116Dに接続される中間導電膜181として形成する一方、周辺回路領域にあっては、並列配線193のうち他方の配線181bを形成する。すなわち、周辺回路全体では、第2層の配線を形成する。

#### 【0126】

続いて、同図(9)に示されるように、中間導電膜181や、第2層の配線18b、第1の層間絶縁膜41を覆うように、第2の層間絶縁膜42を、CVD法等によって約500～1500nmの厚さに堆積する。なお、第2の層間絶縁膜

4 2 の材質としては、下地絶縁膜 4 0 や第 1 の層間絶縁膜 4 1 と同様に、N S G や、P S G、B S G、B P S G などのシリケートガラス膜や、窒化シリコン膜、酸化シリコン膜などが挙げられる。

#### 【 0 1 2 7 】

次に、図 1 3 ( 1 0 ) に示されるように、表示領域にあってはコンタクトホール 5 2 を、周辺回路領域にあっては第 2 層の配線 1 8 1 b と接続するためのコンタクトホール 5 5<sub>2</sub>、5 6<sub>2</sub> を、それぞれ形成する。詳細には、コンタクトホール 5 2 は、T F T 1 1 6 の高濃度ソース領域 1 1 6 S に対応した位置において、第 2 の層間絶縁膜 4 2、第 1 の層間絶縁膜 4 1 およびゲート絶縁膜 3 2 を開孔するように形成される一方、コンタクトホール 5 5<sub>2</sub>、5 6<sub>2</sub> は、第 2 層の配線 1 8 1 b の両端位置において、それぞれ第 2 の層間絶縁膜 4 2 を開孔するように形成される。なお、周辺回路全体において、第 2 層の配線と第 3 層の配線との導通を図る場合には、この導通部分に対応して同様にコンタクトホール ( 図示省略 ) が形成される。

#### 【 0 1 2 8 】

さらに、コンタクトホール 5 2、5 5<sub>2</sub>、5 6<sub>2</sub> が形成された第 2 の層間絶縁膜 4 2 の上に、アルミニウムなどの低抵抗金属からなる導電膜を、スパッタリングなどによって、約 5 0 ~ 5 0 0 n m の厚さに堆積する。そして、この導電膜を、同図 ( 1 1 ) に示されるように、フォトリソグラフィやエッチング等によってパターニングして、表示領域にあっては T F T 1 1 6 のソース電極を兼用するデータ線 1 1 4 として形成する一方、周辺回路領域にあっては配線 3 9 1 や画像信号線 1 2 2 として形成する。すなわち、周辺回路全体では、第 3 層の配線を形成する。

#### 【 0 1 2 9 】

引き続き、同図 ( 1 2 ) に示されるように、データ線 1 1 4 や、画像信号線 1 2 2 等の第 3 層の配線を覆うように、第 3 の層間絶縁膜 4 3 を、C V D 法等によって約 5 0 0 ~ 1 5 0 0 n m の厚さに堆積する。なお、第 3 の層間絶縁膜 4 3 の材質としては、下地絶縁膜 4 0 や、第 1 の層間絶縁膜 4 1、第 2 の層間絶縁膜 4 2 と同様に、N S G や、P S G、B S G、B P S G などのシリケートガラス膜や

、窒化シリコン膜、酸化シリコン膜などが挙げられる。

【0130】

次に、図14（13）に示されるように、コンタクトホール53を、中間導電膜181における所定の位置において、第3の層間絶縁膜43および、第2の層間絶縁膜42を開孔するように、ドライエッチング等により形成する。

【0131】

そして、コンタクトホール53が形成された第3の層間絶縁膜42の表面に、ITOなどの透明導電性膜を、スパッタリングなどによって約50～200nmの厚さに堆積した後、フォトリソグラフィやエッチング等によって所定の形状（図5参照）にパターニングして、同図（14）に示されるように、画素電極118を形成する。この後の工程については図示を省略するが、ポリイミドなどの有機溶液を、基板10において対向面となる画素電極118および第3の層間絶縁膜43の全面に塗布・焼成する。これにより、配向膜61が形成されることとなる。なお、この配向膜61には、所定の方向にラビング処理が施される。

【0132】

そして、このように形成された素子基板101は、それとは約90度回転させた方向にラビング処理された対向基板102と、シール材104により貼り合わせられた後に、液晶105が封入・封止されて、図1に示されるような電気光学装置となる。

【0133】

なお、素子基板101においては、配向膜61が全面にわたって形成されるが、液晶封止後ではプラズマ処理等により、周辺回路領域であって、対向基板102から張り出した部分に形成された配向膜が除去される。このため、周辺回路領域における最上層は、配向膜61ではなく、第3の層間絶縁膜43となる。

【0134】

このような製造方法によれば、表示領域において、TFT116の高濃度ドレイン領域116Dに対するバリア膜として用いられていた中間導電膜181と同一層の導電膜を、周辺回路における第2層の配線として用いることが、特別なプロセスを追加することなく可能となる。さらに、3層分の配線を用いることによ

って、周辺回路の設計における自由度を各段に向上させることが可能となる。くわえて、第1層の配線とともに並列接続することで、当該配線の低抵抗化を図ることが可能となり、また、第2層の配線を、単独で用いることによって、同一領域において3層の配線を形成することが可能となる。

## 【0135】

## ＜応用例＞

なお、上述した実施形態において、第3層の配線が第1層の配線と第2層の配線との並列配線に接続される場合、当該第3層の配線は、第2層の配線に接続される構成となっていた。例えば、図8（b）において、画像信号線122は、並列配線193のうち、第2層の配線181bに接続される構成となっていた。

## 【0136】

上述したように、第2層の導電層は、応力の発生しやすい（反りやすい）高融点金属等から構成する場合、このような高融点金属の配線181bに接続するためのコンタクトホール55<sub>2</sub>、56<sub>2</sub>を開孔すると、開孔に伴う応力集中によって第2の層間絶縁膜42にクラック等が発生する可能性がある。また、コンタクトホール55<sub>2</sub>、56<sub>2</sub>によって、第2層の配線181bを露出させると、当該配線181bから不純物が発散して、不良化の原因にもなる。

## 【0137】

そこで、第3層の配線を第1層の配線112bと第2層の配線181bとの並列配線193の一端に接続する場合には、例えば図15（a）に示されるように、第2層の配線181bを、若干内側のコンタクトホール57<sub>1</sub>、58<sub>1</sub>を介し第1の配線112bに接続して、並列配線193とするとともに、第3層の配線を、外側のコンタクトホール57<sub>2</sub>または58<sub>2</sub>を介して第1層の配線112bに接続する構成が望ましい、と考える。この構成では、第2の層間絶縁膜42が形成された後においては、第2層の配線181bが露出することはない。このため、コンタクトホールの開孔に伴う応力集中が発生しないので、第2の層間絶縁膜42におけるクラックが防止され、また、当該配線181bから不純物が発散することも防止されることになる。

## 【0138】

さらに、並列配線 1 9 3 は、第 1 の配線 1 1 2 b および第 2 の配線 1 8 1 b の両端においてのみ接続を図る構成であったが、図 1 5 (b) に示されるように、両端以外の 1 以上の地点にコンタクトホール 5 8、5 9 を設けて、この地点においても接続して、両配線の接続をより確実とする構成にしても良い。なお、このように第 1 の配線 1 1 2 b と第 2 の配線 1 8 1 b との接続を、両端以外の 1 以上のコンタクトホールを介して図る構成においても、第 3 層の配線を、外側のコンタクトホールを介して第 1 層の配線 1 1 2 b に接続しても良い。

## 【0 1 3 9】

## ＜その他＞

また、上述した実施形態にあっては、6 本のデータ線 1 1 4 が 1 ブロックにまとめられて、1 ブロックに属する 6 本のデータ線 1 1 4 に対して、6 系統に変換された画像信号 V I D 1 ~ V I D 6 を同時にサンプリングして供給する構成としたが、変換数および同時に印加するデータ線数（すなわち、1 ブロックを構成するデータ線数）は、「6」に限られるものではない。例えば、サンプリング回路 1 5 0 におけるサンプリングスイッチ 1 5 1 の応答速度が十分に高いのであれば、画像信号を平行に変換することなく 1 本の画像信号線にシリアル伝送して、データ線 1 1 4 毎に点順次的にサンプリングするように構成しても良い。なお、このような構成では、データ線駆動回路 1 4 0 を構成するシフトレジスタや論理積回路を、データ線ピッチと等倍で形成しなければならないので、走査線駆動回路 1 3 0 と同様に、第 2 層の配線を単独で用いる必要があるかもしれない。

## 【0 1 4 0】

また、変換および同時に印加するデータ線の数「3」や、「1 2」、「2 4」等として、3 本や、1 2 本、2 4 本等のデータ線に対して、3 系統変換や、1 2 系統変換、2 4 系統変換等した画像信号を同時に供給する構成としても良い。なお、変換数および同時に印加するデータ線数としては、カラーの画像信号が 3 つの原色に係る信号からなることとの関係上、3 の倍数であることが制御や回路などを簡易化する上で好ましい。ただし、後述するプロジェクタのように単なる光変調の用途の場合には、3 の倍数であることを要しない。さらに、複数個のサンプリングスイッチを同時に制御するのではなく、平行変換された画像信号

V I D 1 ~ V I D 6 を順次シフトして供給して、サンプリングスイッチ 1 5 1 を順番に制御する構成としても良い。

【 0 1 4 1 】

また、上述した実施形態においては、上から下方向へ走査線 1 1 2 を走査する一方、左から右方向へブロックを選択する構成であったが、これとは逆方向で選択する構成でも良いし、用途に応じていずれかの方向を選択可能とする構成でも良い。

【 0 1 4 2 】

さらに、上述した実施形態においては、素子基板 1 0 1 にプレーナ型の T F T 1 1 6 等が形成されていたが、本発明は、これに限られない。例えば、T F T 1 1 6 をボトムゲート型で構成しても良い。また、素子基板 1 0 1 を半導体基板で構成するとともに、ここに、T F T 1 1 6 に代えて電界効果型トランジスタを形成しても良い。さらに、S O I (Silicon On Insulator) の技術を適用し、サファイヤ、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板 1 0 1 としても良い。ただし、素子基板 1 0 1 が透明性を有しない場合、画素電極 1 1 8 をアルミニウムで形成したり、別途反射層を形成したりするなどして、液晶パネル 1 0 0 を反射型として用いる必要がある。

【 0 1 4 3 】

また、上述した実施形態では、液晶として T N 型を用いたが、B T N (Bi-stable Twisted Nematic) 型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料 (ゲスト) を一定の分子配列の液晶 (ホスト) に溶解して、染料分子を液晶分子と平行に配列させたゲストホスト型などの液晶を用いても良い。

【 0 1 4 4 】

また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向 (ホメオトロピック配向) の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対



して垂直方向に配列する、という平行（水平）配向（ホモジニアス配向）の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものに適用することが可能である。

## 【 0 1 4 5 】

くわえて、電気光学装置としては、液晶装置のほかに、エレクトロルミネッセンス（EL）や、プラズマ発光や電子放出による蛍光などを用いて、その電気光学効果により表示を行う種々の電気光学装置に適用可能である。この際、電気光学物質としては、EL、ミラーデバイス、ガス、蛍光体などとなる。なお、電気光学物質としてELを用いる場合、素子基板101においてELが画素電極118と透明導電膜の対向電極108との間に介在することになるので、対向基板102は不要となる。このように、本発明は、上述した構成と類似の構成を有する電気光学装置のすべてに適用可能である。

## 【 0 1 4 6 】

## ＜電子機器＞

次に、上述した実施形態に係る電気光学装置を用いた電子機器のいくつかについて説明する。

## 【 0 1 4 7 】

## ＜その1：プロジェクタ＞

まず、上述した液晶パネル100をライトバルブとして用いたプロジェクタについて説明する。図16は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ2100内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した実施形態に係る液晶パネル100と同様であり、画像信号を入力する処理回路（図示省略）から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。また、B色の光は、他のR色やG色と比較すると、光路が長いので、そ

の損失を防ぐために、入射レンズ 2 1 2 2、リレーレンズ 2 1 2 3 および出射レンズ 2 1 2 4 からなるリレーレンズ系 2 1 2 1 を介して導かれる。

【 0 1 4 8 】

さて、ライトバルブ 1 0 0 R、1 0 0 G、1 0 0 B によってそれぞれ変調された光は、ダイクロイックプリズム 2 1 1 2 に 3 方向から入射する。そして、このダイクロイックプリズム 2 1 1 2 において、R 色および B 色の光は 9 0 度に屈折する一方、G 色の光は直進する。したがって、各色の画像が合成された後、スクリーン 2 1 2 0 には、投射レンズ 2 1 1 4 によってカラー画像が投射されることとなる。

【 0 1 4 9 】

なお、ライトバルブ 1 0 0 R、1 0 0 G および 1 0 0 B には、ダイクロイックミラー 2 1 0 8 によって、R、G、B の各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。また、ライトバルブ 1 0 0 R、1 0 0 B の透過像はダイクロイックミラー 2 1 1 2 により反射した後に投射されるのに対し、ライトバルブ 1 0 0 G の透過像はそのまま投射されるので、ライトバルブ 1 0 0 R、1 0 0 B による表示像を、ライトバルブ 1 0 0 G による表示像に対して左右反転させる構成となっている。

【 0 1 5 0 】

< その 2 : モバイル型コンピュータ >

次に、上述した液晶パネル 1 0 0 を、モバイル型のパーソナルコンピュータに適用した例について説明する。図 1 7 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 2 2 0 0 は、キーボード 2 2 0 2 を備えた本体部 2 2 0 4 と、表示部として用いられる液晶パネル 1 0 0 とを備えている。なお、この液晶パネル 1 0 0 の背面には、視認性を高めるためのバックライトユニット（図示省略）が設けられる。

【 0 1 5 1 】

< その 3 : 携帯電話 >

さらに、上述した液晶パネル 1 0 0 を、携帯電話の表示部に適用した例について説明する。図 1 8 は、この携帯電話の構成を示す斜視図である。図において、

携帯電話 2 3 0 0 は、複数の操作ボタン 2 3 0 2 のほか、受話口 2 3 0 4、送話口 2 3 0 6 とともに、上述した液晶パネル 1 0 0 を備えるものである。なお、この液晶パネル 1 0 0 の背面にも、視認性を高めるためのバックライトユニット（図示省略）が設けられる。

#### 【0 1 5 2】

なお、電子機器としては、図 1 6、図 1 7 および図 1 8 を参照して説明した他にも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

#### 【0 1 5 3】

##### 【発明の効果】

以上説明したように本発明によれば、表示領域におけるスイッチング素子の他端と画素電極との接続に用いられる中間導電膜と同一の導電層からなる配線を用いることができるので、周辺回路を設計する際の自由度を向上させることが可能となる。

##### 【図面の簡単な説明】

【図 1】 (a) は、本発明の実施形態に係る電気光学装置の液晶パネルの構成を示す斜視図であり、(b) は、(a) の A - A' 線の断面図である。

【図 2】 同液晶パネルの電氣的な構成を示すブロック図である。

【図 3】 同液晶パネルの表示領域における等価回路を示す図である。

【図 4】 同液晶パネルの動作を説明するためのタイミングチャートである。

【図 5】 同液晶パネルの動作を説明するためのタイミングチャートである。

【図 6】 同液晶パネルの表示領域における画素の詳細構成を示す平面図である。

【図 7】 (a) は、図 6 における B-B' 線の断面図であり、(b) は、図 5 における C-C' 線の断面図であり、(c) は、同液晶パネルにおける蓄積容量の構成を示す等価回路である。

【図 8】 (a) は、同液晶パネルのサンプリング回路近傍の構成を示す平面図であり、(b) は、その D-D' 線の断面図である。

【図 9】 (a) は、同液晶パネルの走査線駆動回路の一部構成を示す平面図であり、(b) は、その電氣的構成を示す図である。

【図 10】 (1) ~ (3) は、それぞれ同液晶パネルにおける素子基板の製造プロセスを示す断面図である。

【図 11】 (4) ~ (6) は、それぞれ同液晶パネルにおける素子基板の製造プロセスを示す断面図である。

【図 12】 (7) ~ (9) は、それぞれ同液晶パネルにおける素子基板の製造プロセスを示す断面図である。

【図 13】 (10) ~ (12) は、それぞれ同液晶パネルにおける素子基板の製造プロセスを示す断面図である。

【図 14】 (13) および (14) は、それぞれ同液晶パネルにおける素子基板の製造プロセスを示す断面図である。

【図 15】 (a) および (b) は、それぞれ本発明の変形例に係る電気光学装置のサンプリング回路近傍の構成を示す断面図である。

【図 16】 実施形態に係る電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【図 17】 同電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 18】 同電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

10…基板

30…半導体層

40…下地絶縁膜

41…第 1 の層間絶縁膜

4 2 …第 2 の層間絶縁膜  
4 3 …第 3 の層間絶縁膜  
6 1 …配向膜  
1 0 0 …液晶パネル  
1 0 1 …素子基板  
1 0 2 …対向基板  
1 0 5 …液晶  
1 0 8 …対向電極  
1 1 2 …走査線  
1 1 2 b、1 1 2 c、1 1 2 d …配線  
1 1 4 …データ線  
1 1 4 b、1 1 4 c、1 1 4 d …配線  
1 1 6 …T F T  
1 1 8 …画素電極  
1 1 9 …蓄積容量  
1 2 2 …画像信号線  
1 3 0 …走査線駆動回路  
1 4 0 …データ線駆動回路  
1 5 0 …サンプリング回路  
1 5 1 …サンプリングスイッチ  
1 6 0 …プリチャージ回路  
1 6 1 …プリチャージングスイッチ  
1 7 5 …容量線  
1 8 1 …中間導電膜  
1 9 1、1 9 3、1 9 5 …配線  
1 8 1 b、1 8 1 c、1 8 1 d …配線  
3 9 1、3 9 3、3 9 5 …配線  
2 1 0 0 …プロジェクタ  
2 2 0 0 …パーソナルコンピュータ

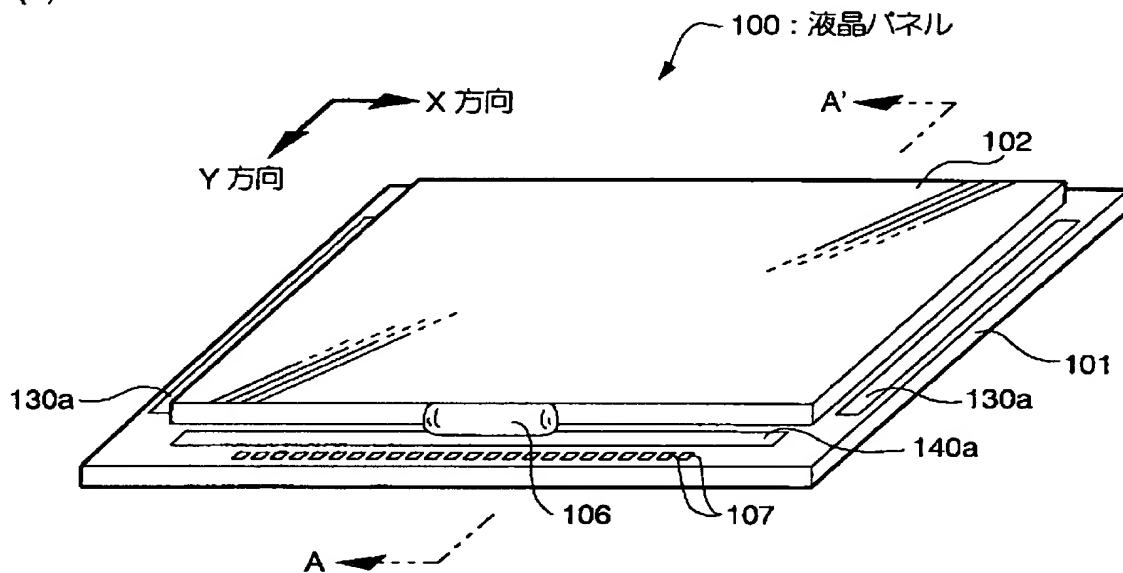
特2001-083334

2300...携帯電話

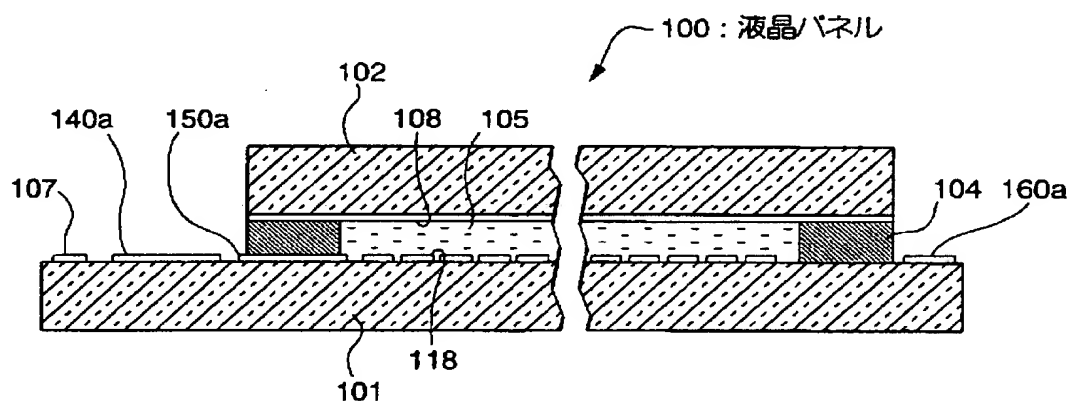
【書類名】 図面

【図 1】

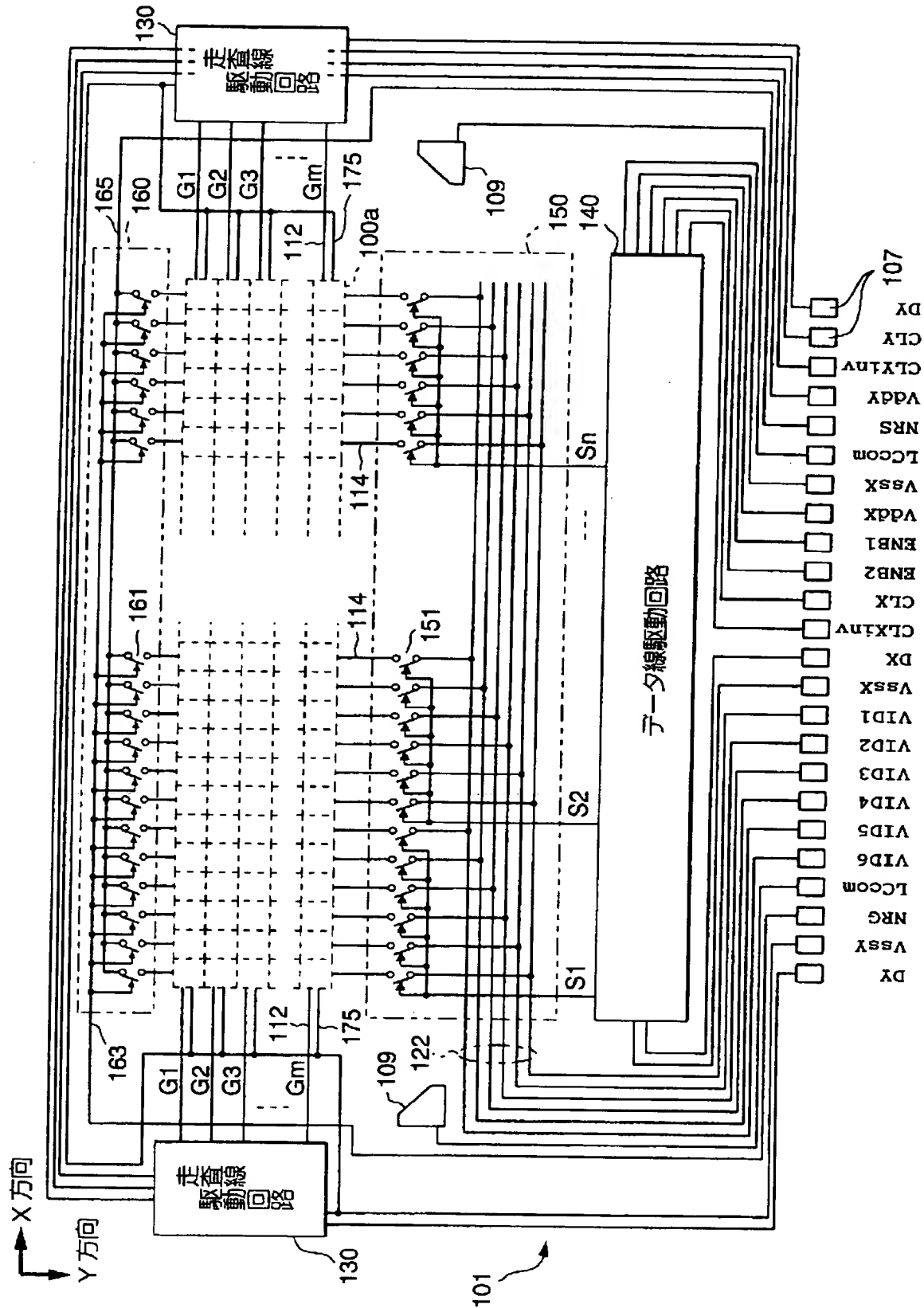
(a)



(b)

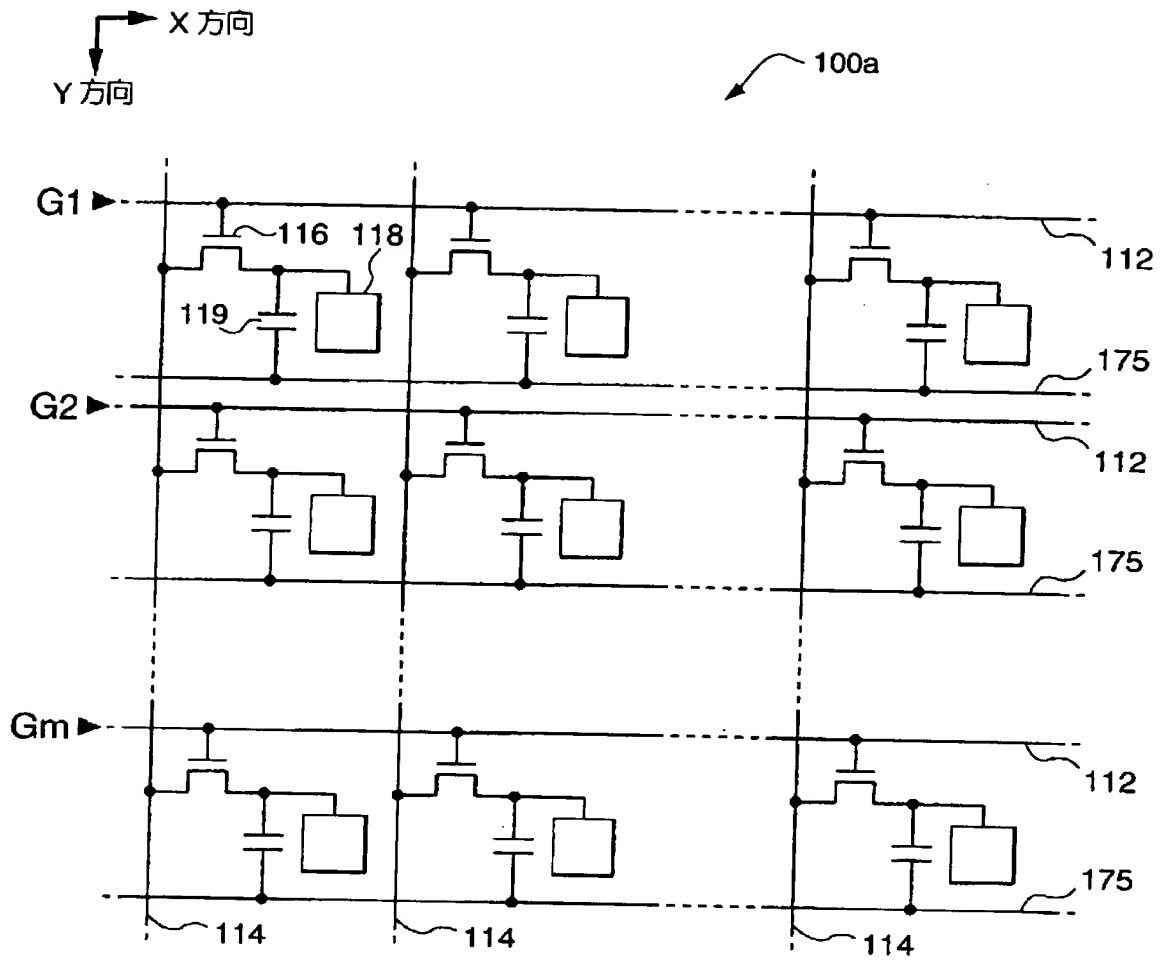


【図2】

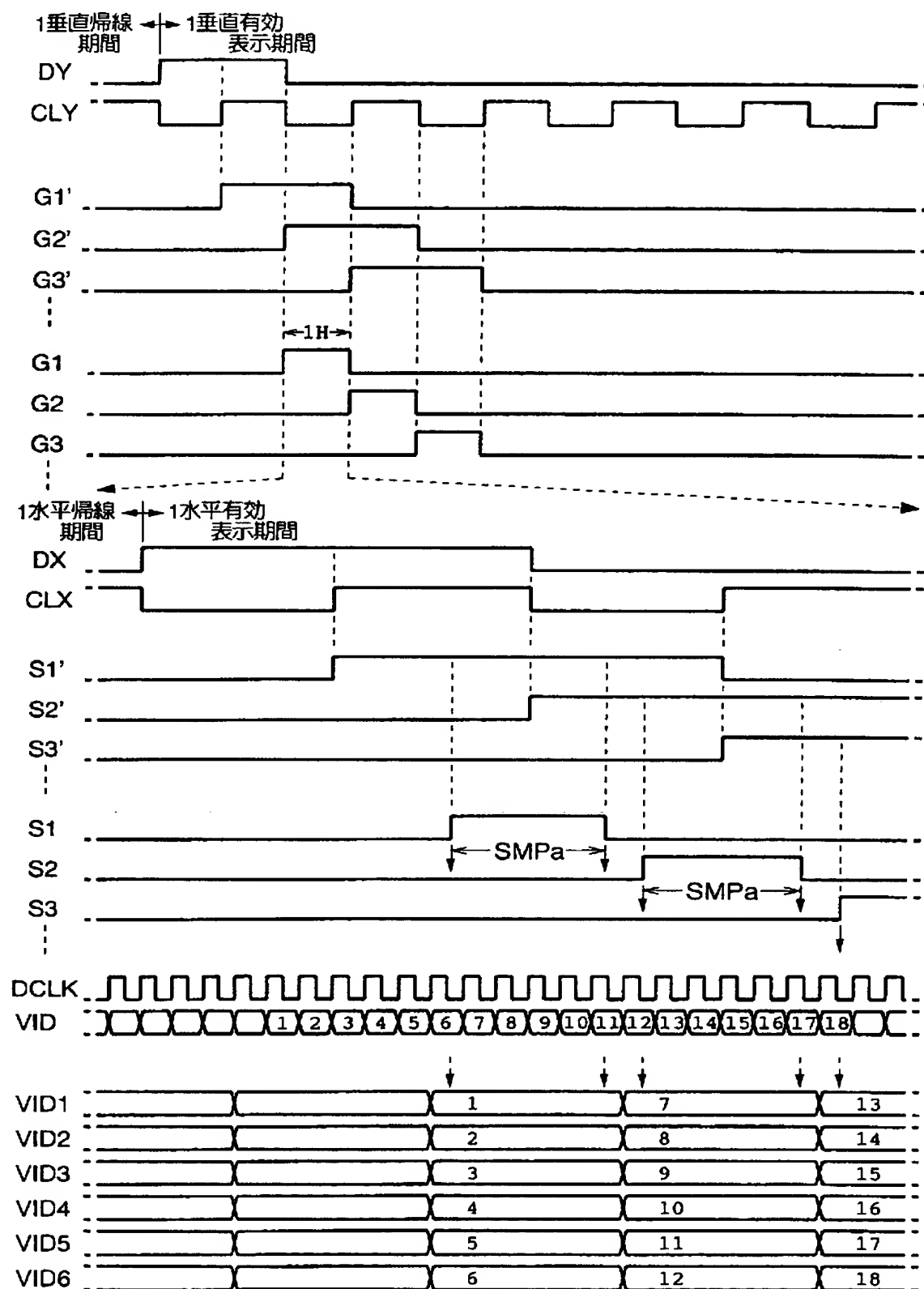




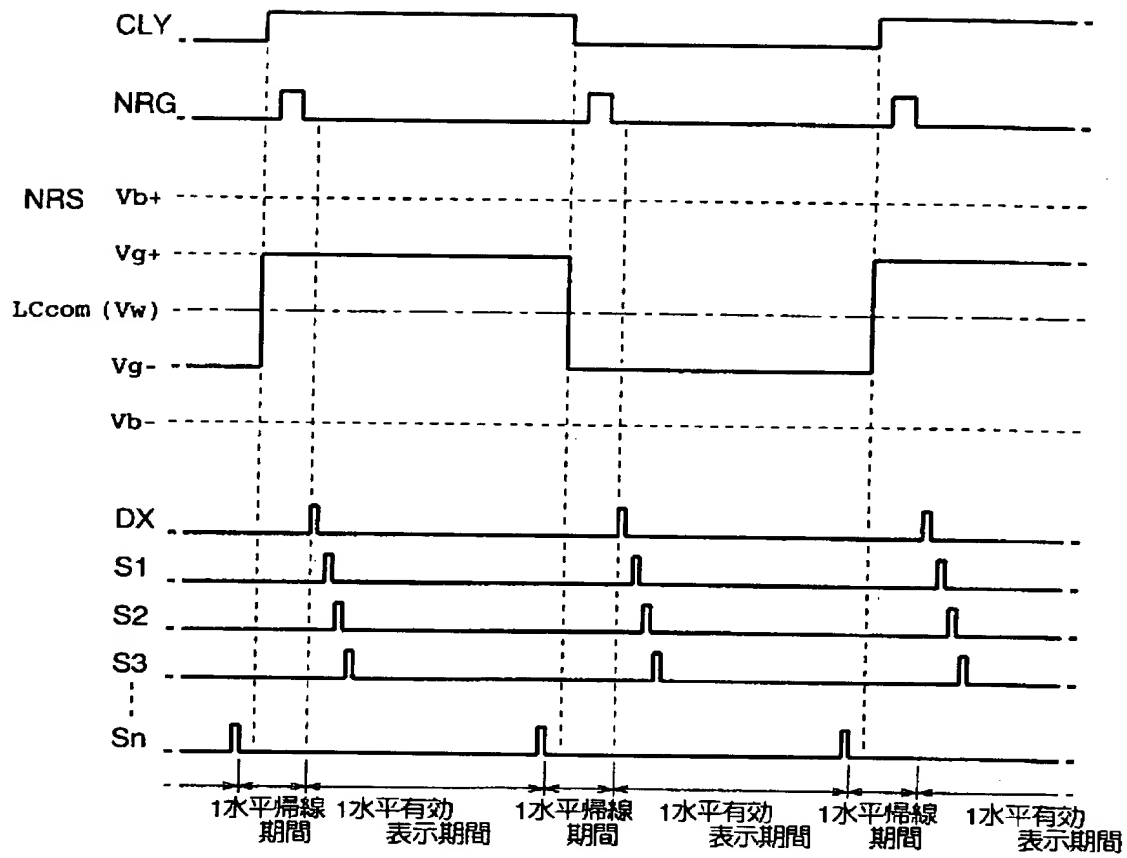
【図 3】



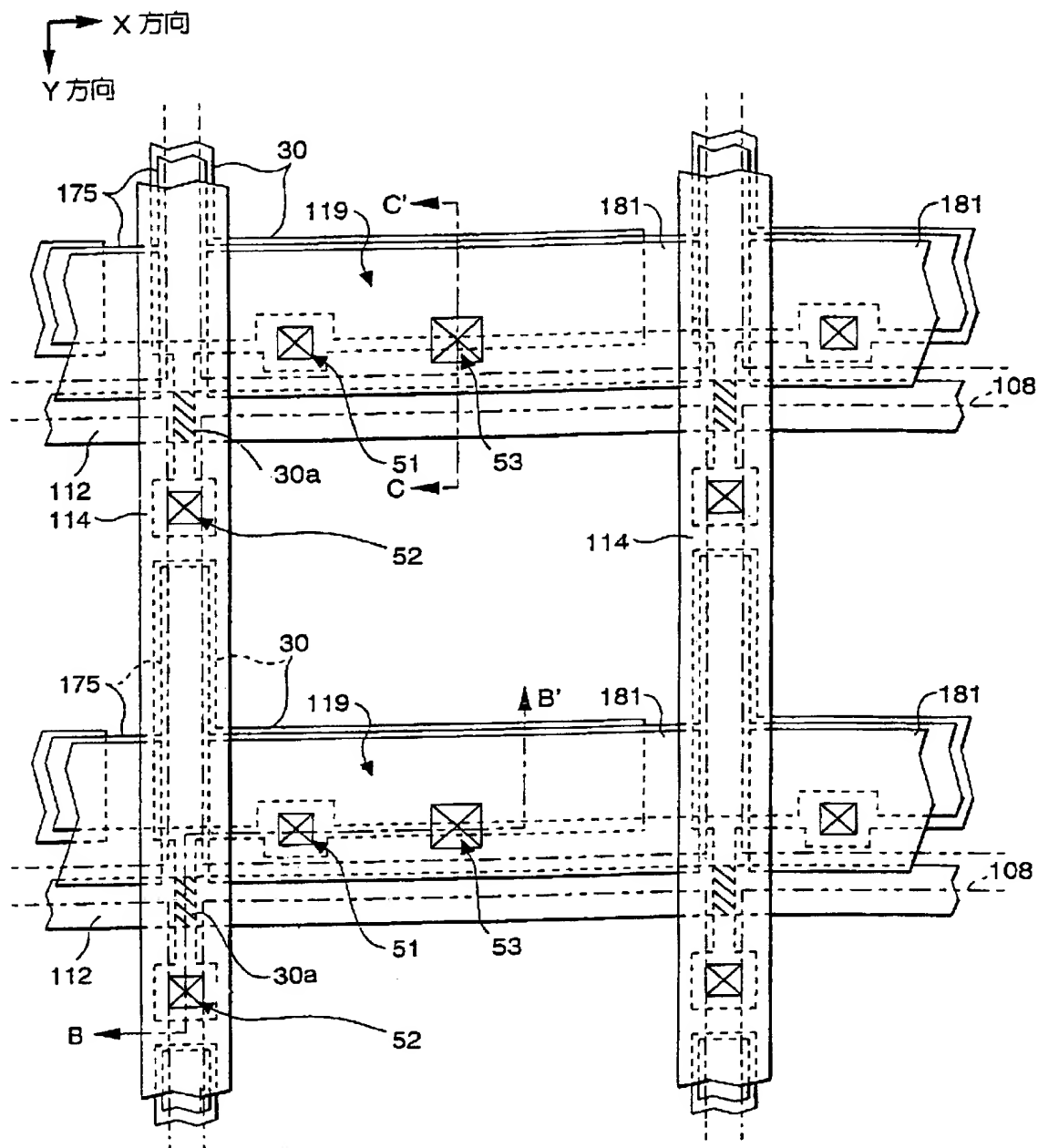
【图 4】



【図 5】

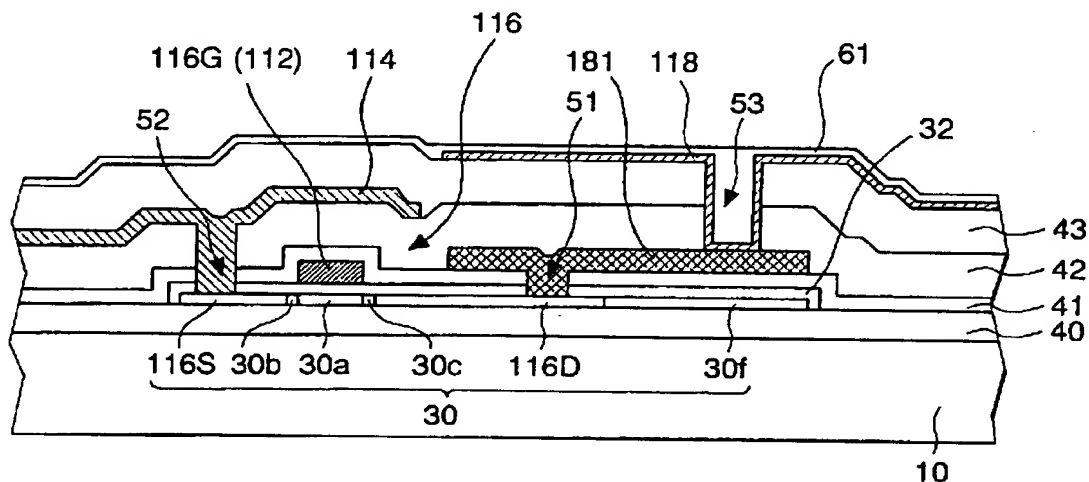


【図 6】

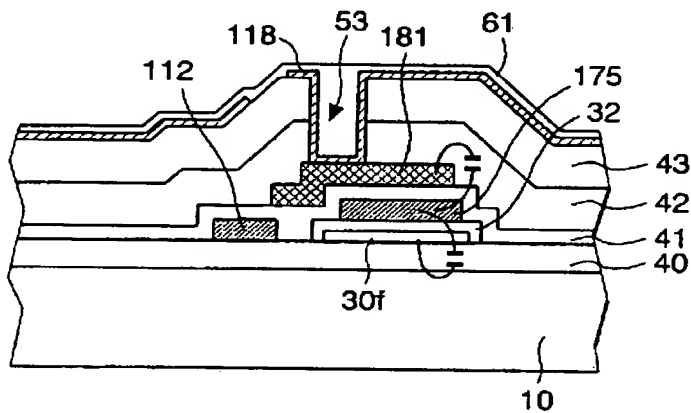


【図 7】

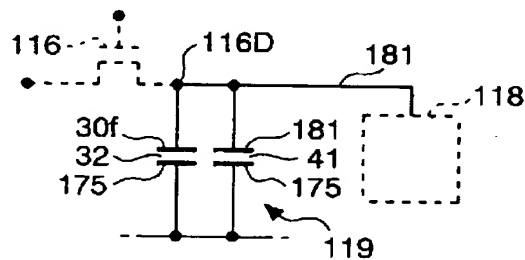
(a) B-B' 線断面図



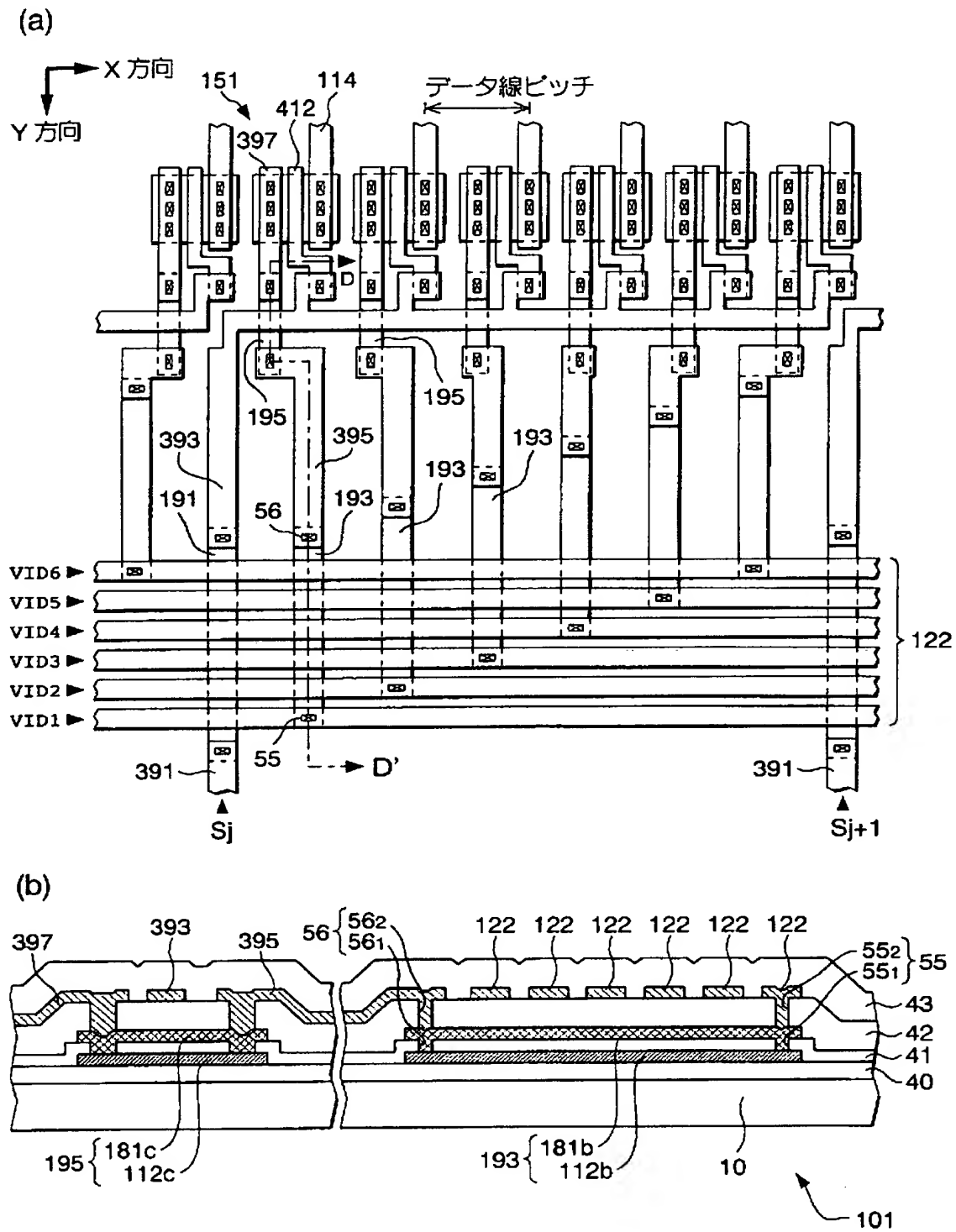
(b) C-C' 線断面図



(c) 蓄積容量の等価回路

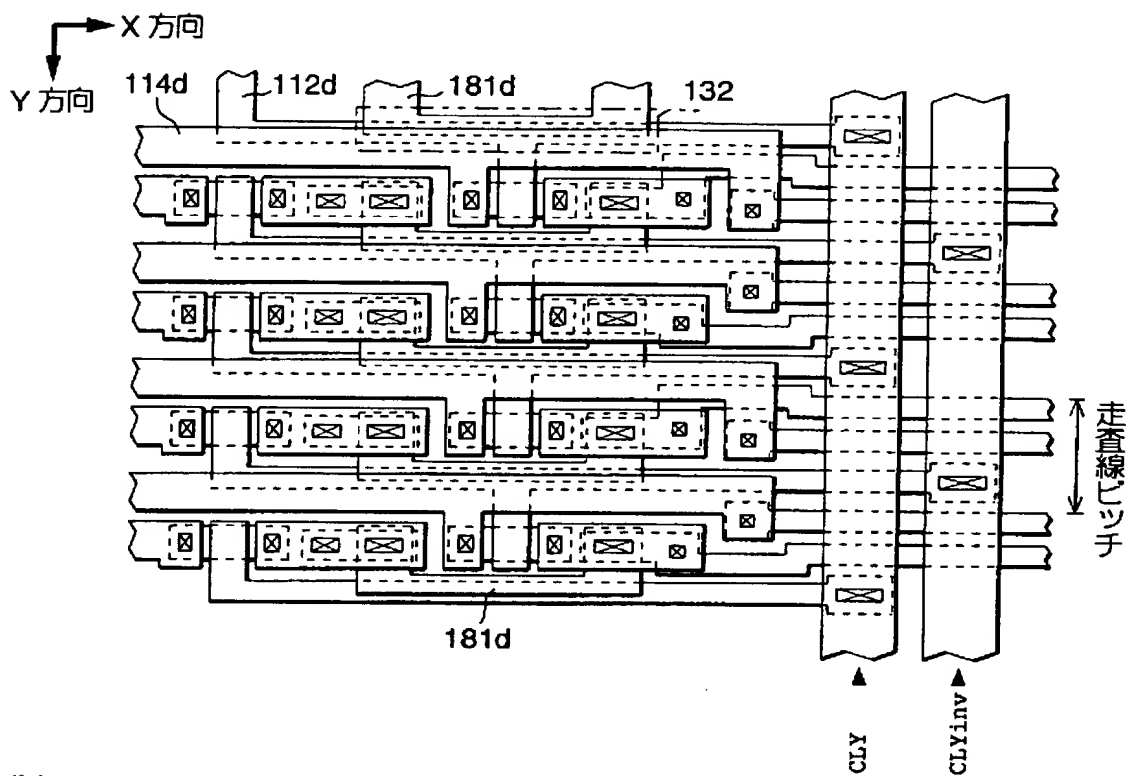


【図 8】

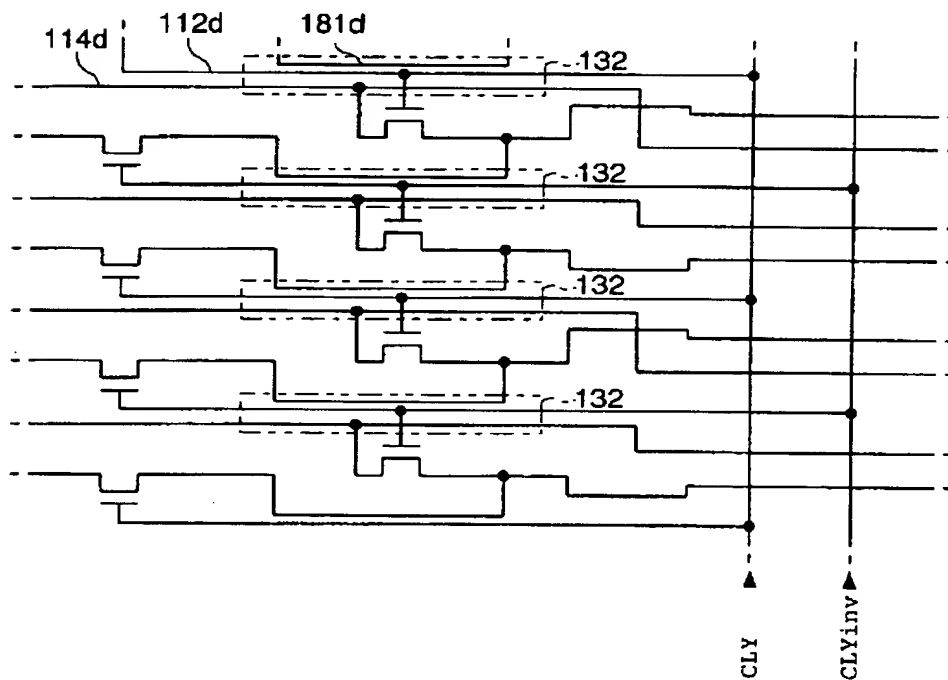


【図9】

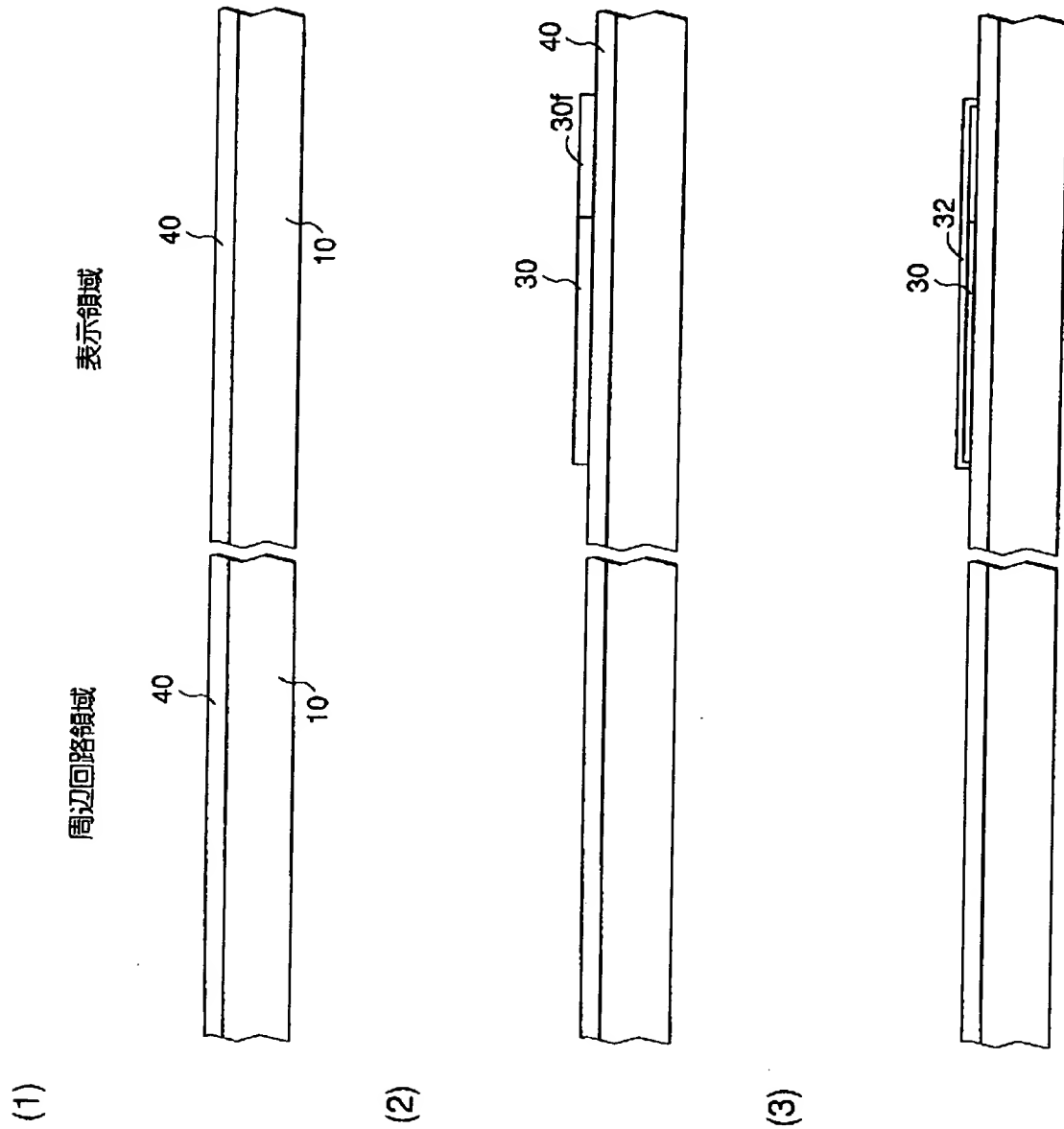
(a)



(b)

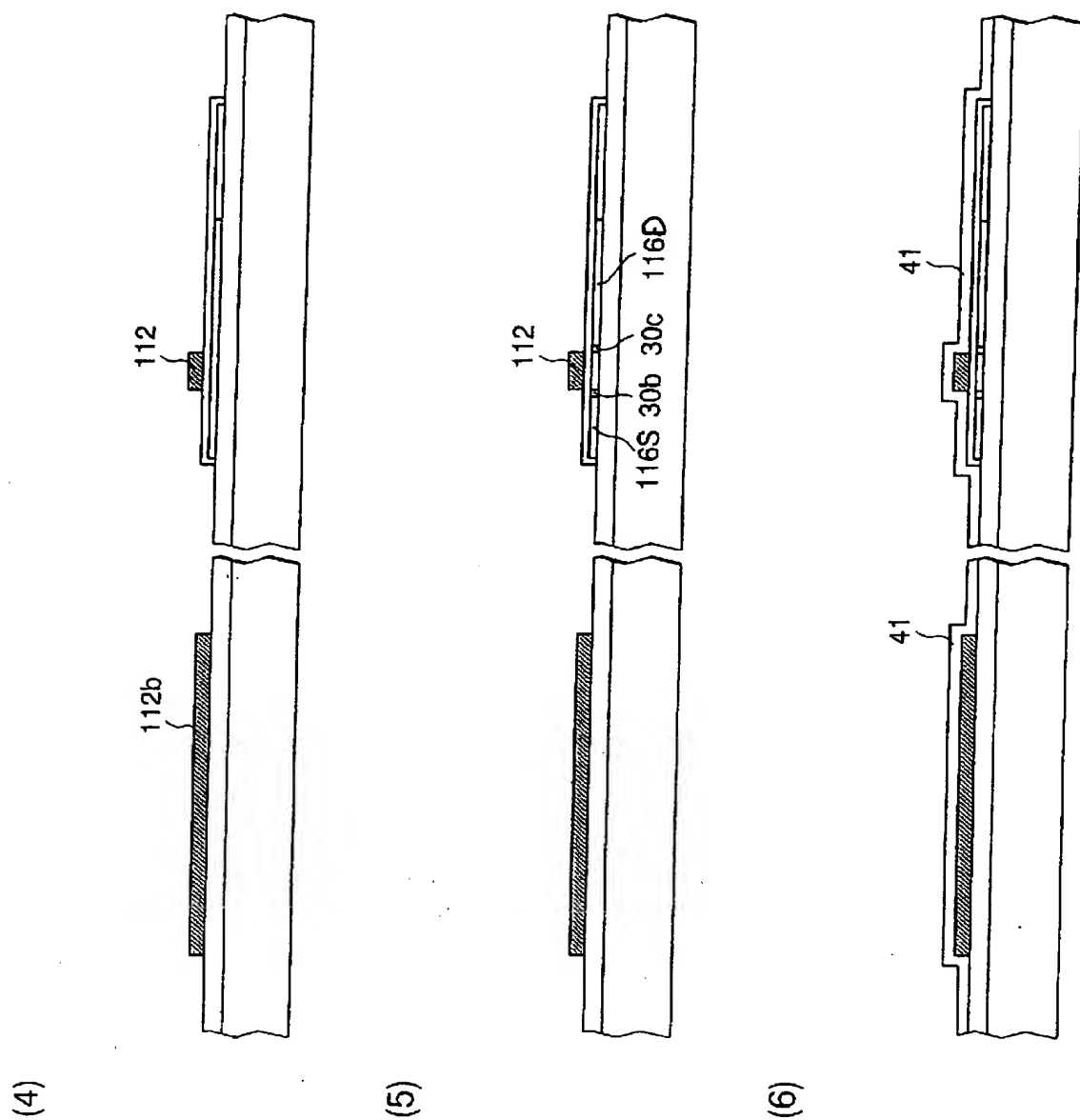


【図10】

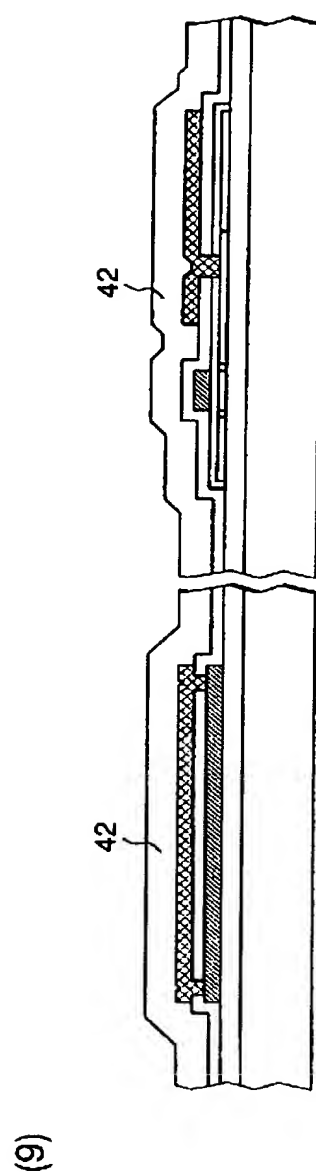
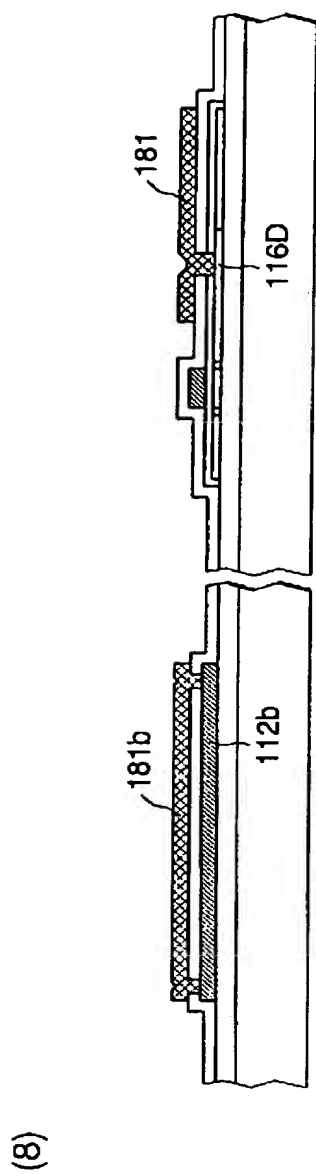
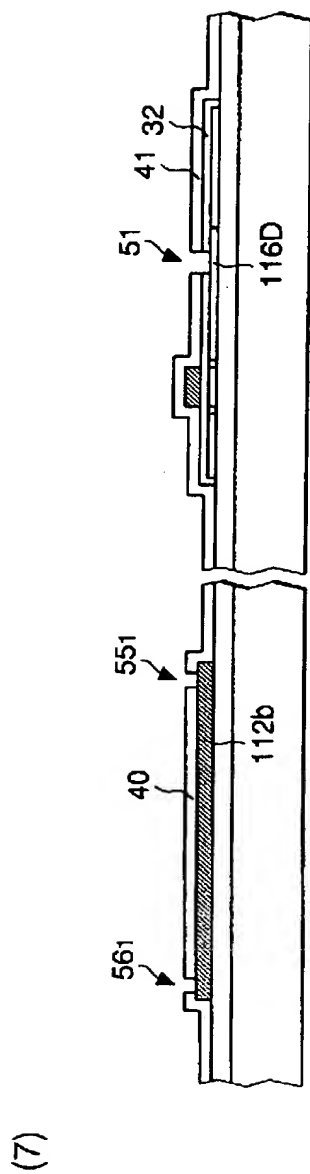




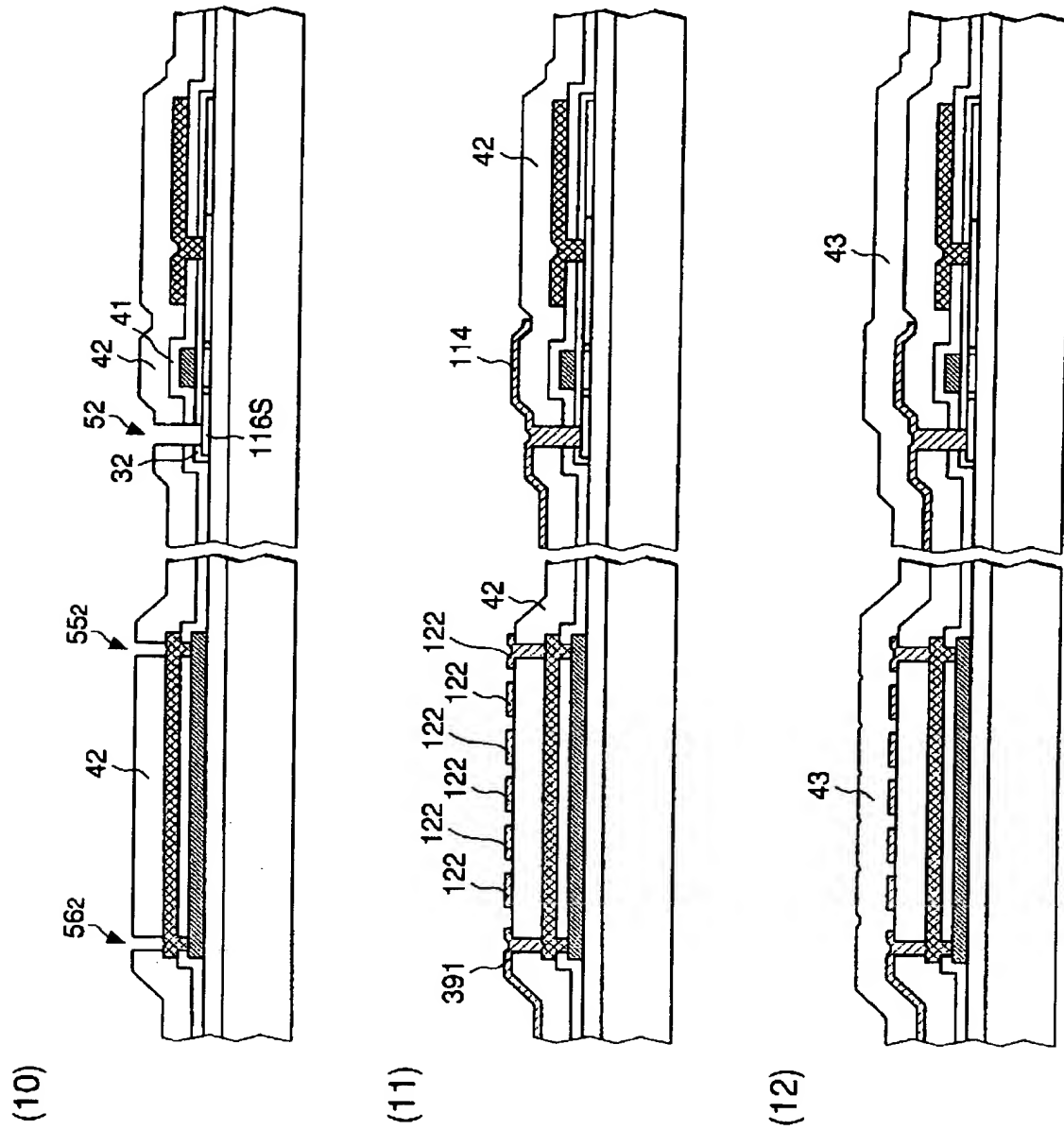
【図 1 1】



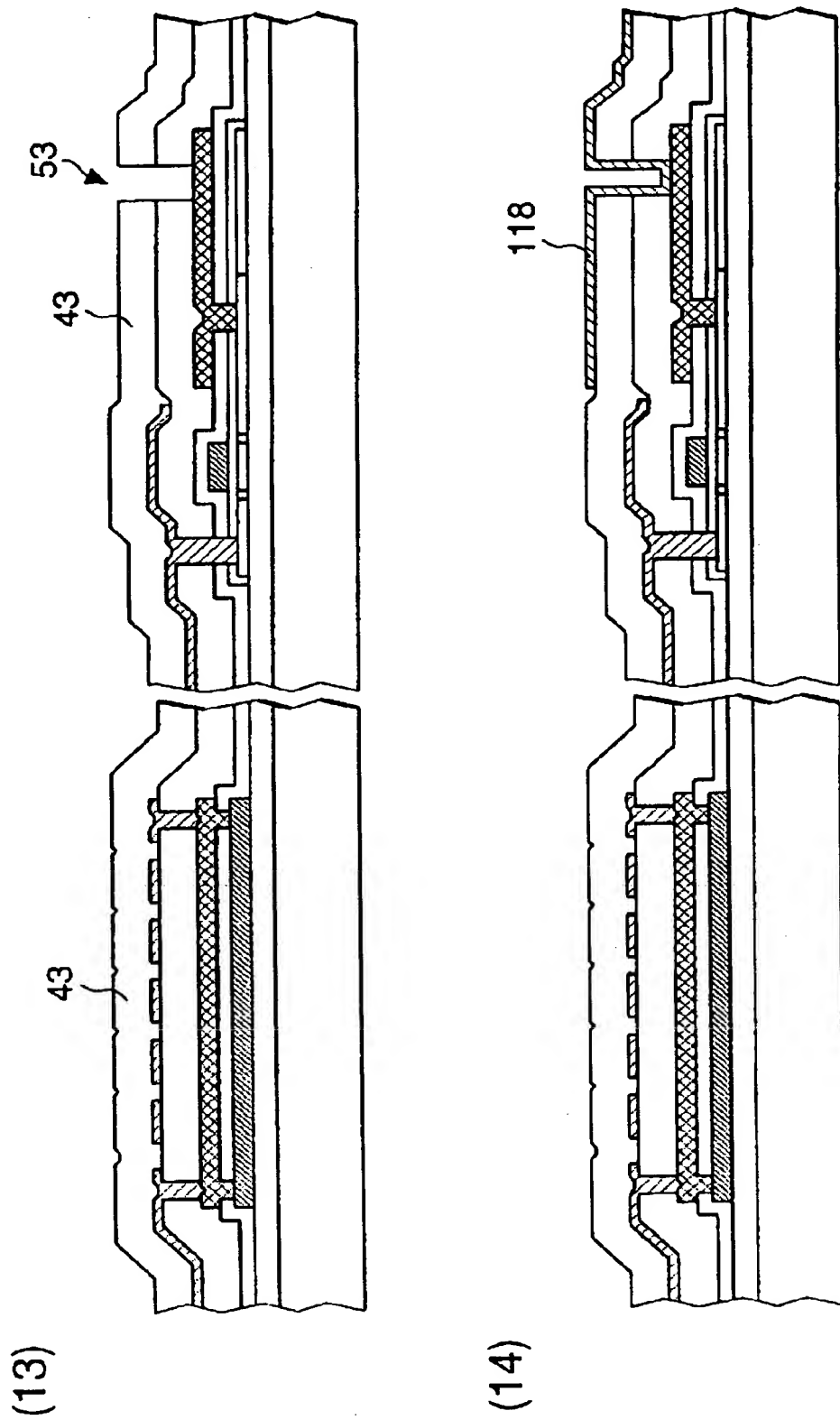
【図 12】



【図 1 3】

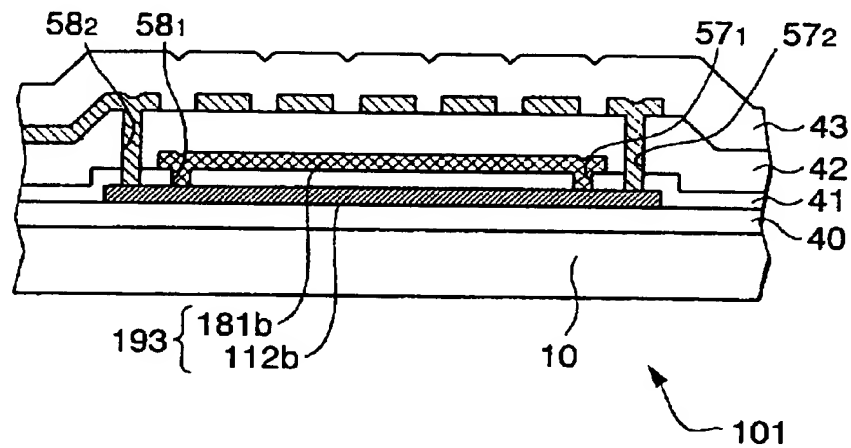


【図14】

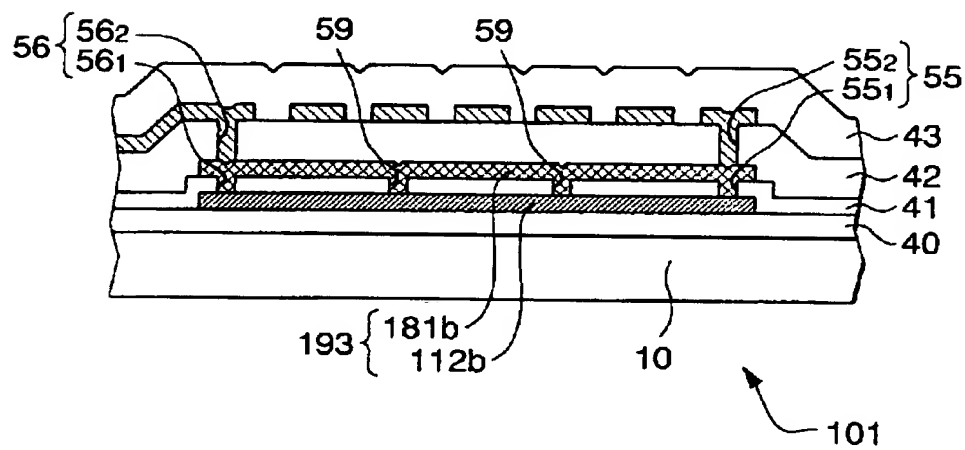


【図 1 5】

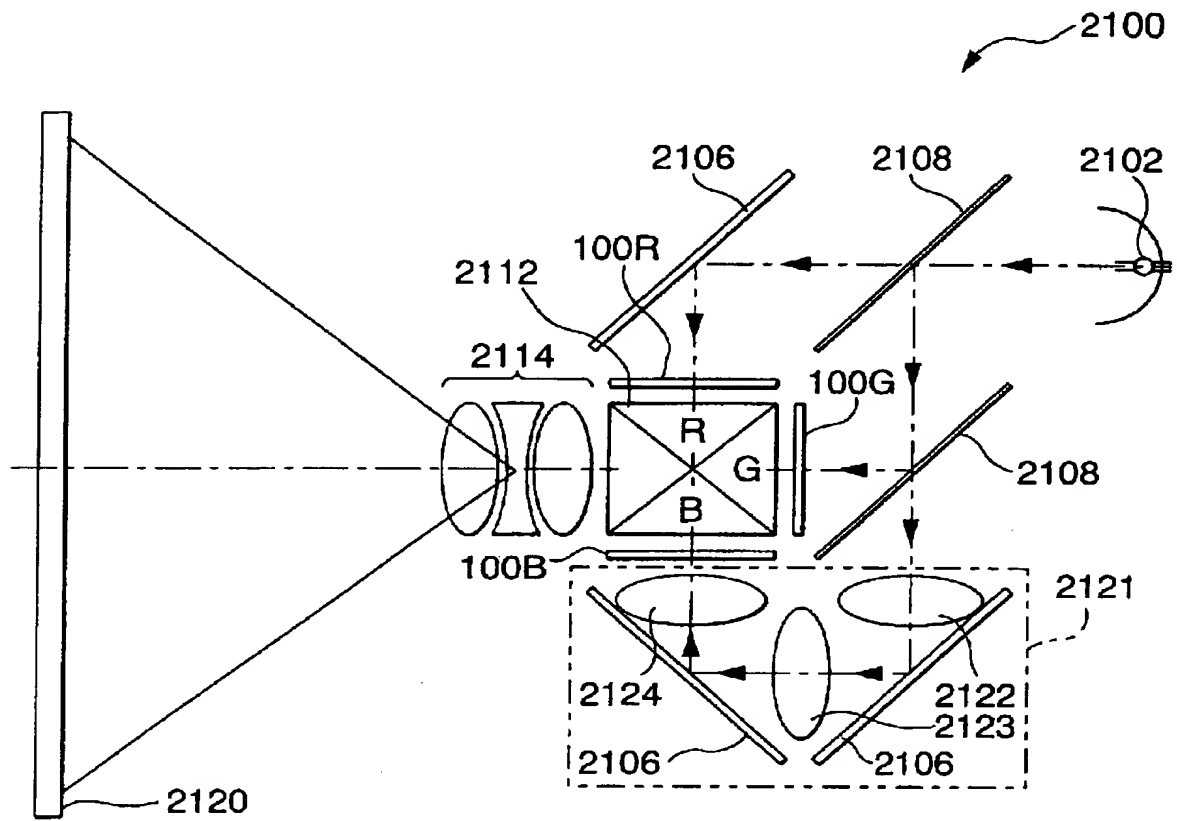
(a)



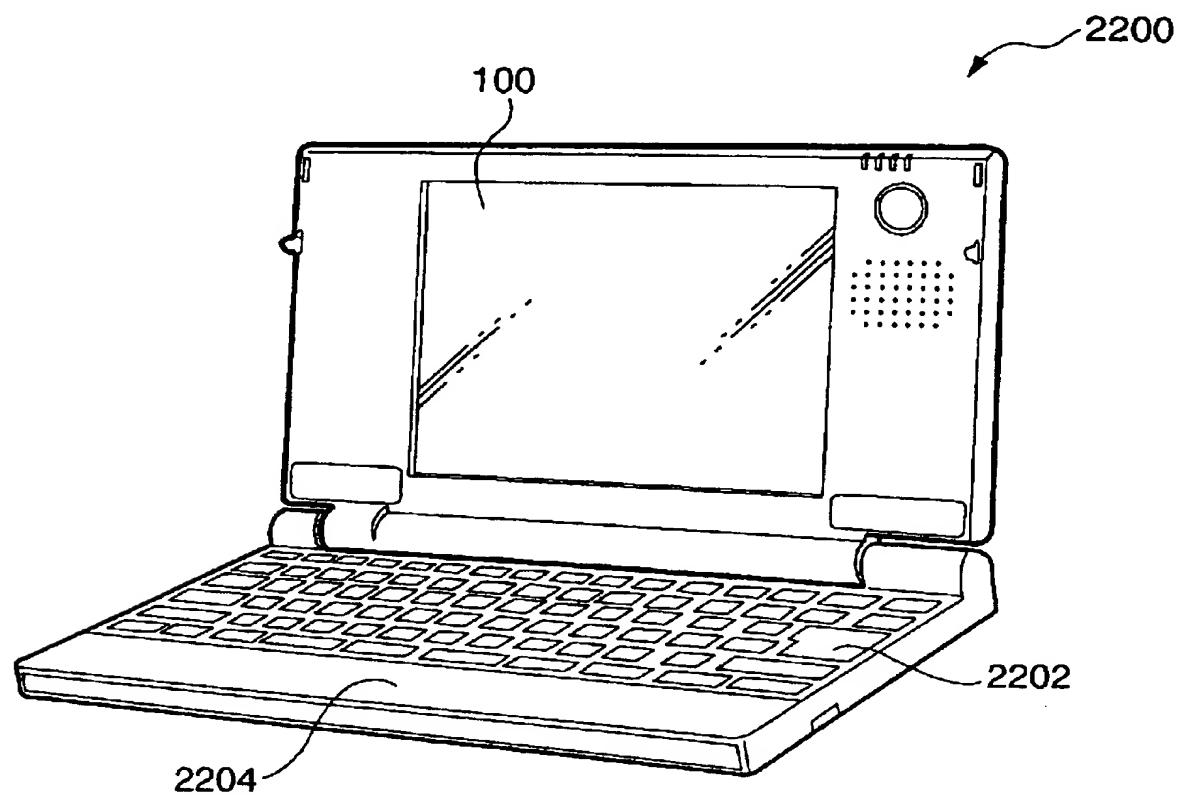
(b)



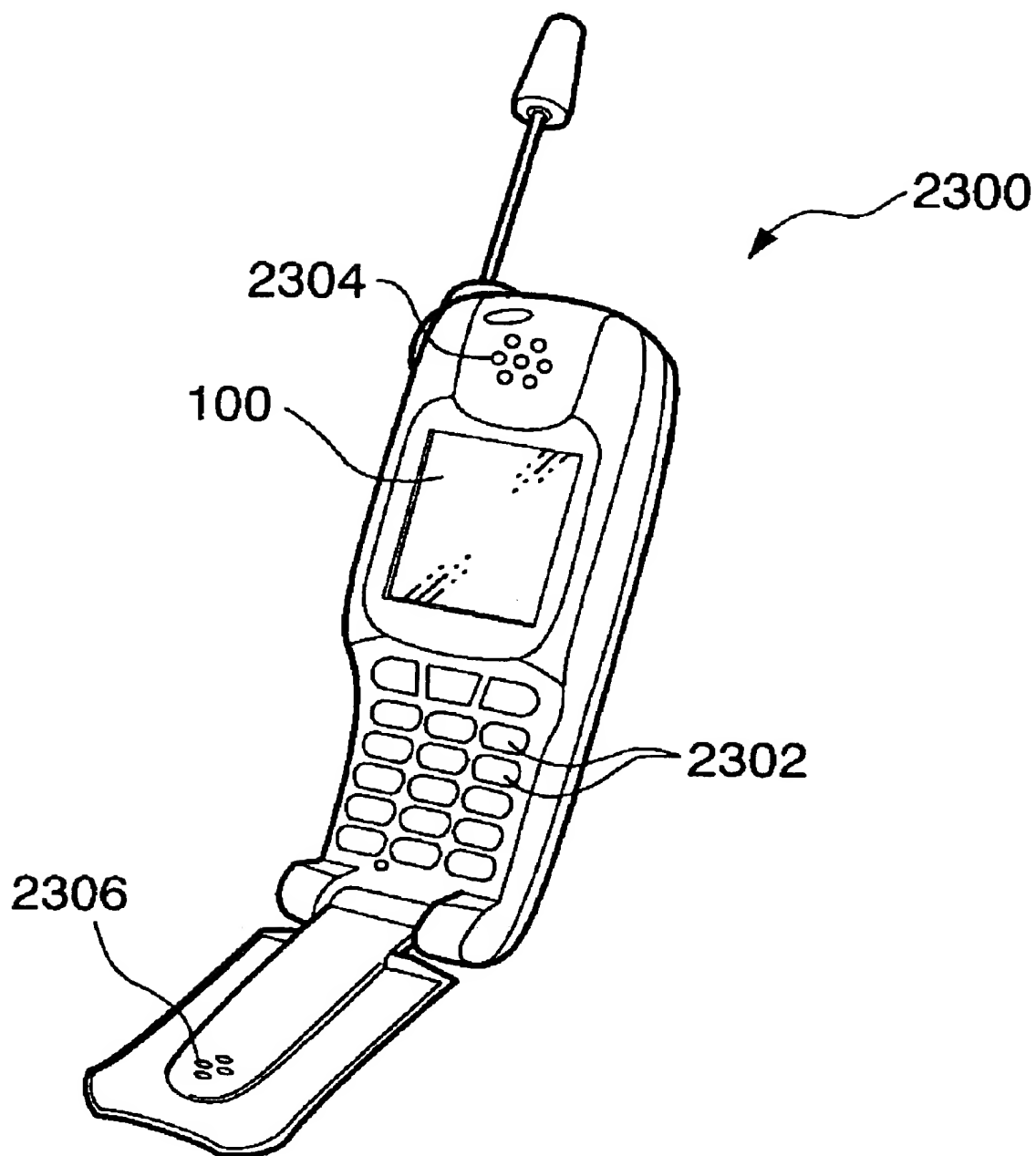
【図 1 6】



【図 1 7】



【図 1 8】





【書類名】 要約書

【要約】

【課題】 電気光学装置において、サンプリング回路などの周辺回路を設計する際の自由度を向上させたり、周辺回路の配線抵抗を低減させたりする。

【解決手段】 6本の画像信号線122は、データ線114と同一層からなる第3層の配線である。ここで、ある1本の画像信号線122から分岐して、他の画像信号線122とは交差する配線193を、第1層の配線112bと第2層の配線181bとの並列接続して用いる。このうち、配線112bは、表示領域における走査線と同一層からなるものであり、配線181bは、表示領域におけるTFTのバリア膜と同一層からなるものである。両配線112b、181bは単独では高抵抗であるが、並列接続することにより低抵抗化を図る。また、他の部分では、第2層の配線を単独で用いて、設計する際の自由度を向上させる。

【選択図】 図8

認定・付加情報

特許出願の番号	特願 2001-08333-4
受付番号	50100410386
書類名	特許願
担当官	第二担当上席 0091
作成日	平成 13 年 3 月 27 日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000002369

【住所又は居所】

東京都新宿区西新宿 2 丁目 4 番 1 号

【氏名又は名称】

セイコーエプソン株式会社

【代理人】

申請人

【識別番号】

100093388

【住所又は居所】

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプ

ソン株式会社 知的財産部室 内

【氏名又は名称】

鈴木 喜三郎

【選任した代理人】

【識別番号】

100095728

【住所又は居所】

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプ

ソン株式会社 知的財産部室 内

【氏名又は名称】

上柳 雅誉

【選任した代理人】

【識別番号】

100107261

【住所又は居所】

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプ

ソン株式会社 知的財産部室 内

【氏名又は名称】

須澤 修

次頁無

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社